



UNIVERSIDAD DEL BÍO-BÍO
FACULTAD DE INGENIERÍA
DEPTO. INGENIERÍA ELÉCTRICA Y ELECTRÓNICA

**DESARROLLO DE UN SISTEMA DE ADQUISICIÓN DE DATOS
UTILIZANDO CAD EN PARALELO PARA APLICACIONES DE
ELECTRÓNICA DE POTENCIA**

Gabriel Rodolfo Lagos Aguayo

SEMINARIO DE TÍTULO
INGENIERÍA DE EJECUCIÓN EN ELECTRÓNICA

CONCEPCIÓN – CHILE
2018



UNIVERSIDAD DEL BÍO-BÍO
FACULTAD DE INGENIERÍA
DEPTO. INGENIERÍA ELÉCTRICA Y ELECTRÓNICA

**DESARROLLO DE UN SISTEMA DE ADQUISICIÓN DE DATOS
UTILIZANDO CAD EN PARALELO PARA APLICACIONES DE
ELECTRÓNICA DE POTENCIA**

Gabriel Rodolfo Lagos Aguayo

Profesor Guía: Dr. Sc. Pedro Melín Coloma
Profesor Corrector: Dr. Sc. Jaime Rohten Carrasco
Profesor Corrector 2: M. Sc. Franco Hernández Campos

CONCEPCIÓN – CHILE
2018

Resumen

Los Sistemas de Adquisición de Datos (SAD) incorporados en soluciones embebidas, en la etapa de conversión A/D, utilizan un Conversor Análogo – Digital (CAD) con multiplexor interno, es decir, las señales análogas son convertidas secuencialmente, provocando un aumento en el tiempo de adquisición de los datos. Se busca reducir este tiempo de adquisición desarrollando una plataforma digital que contenga: ocho CAD conectados en paralelo, con el fin de convertir las señales análogas de forma simultánea, y, una Field Programmable Gate Array (FPGA), para configurar los CAD y coordinar la lectura y adquisición de los datos.

Para desarrollar la plataforma se consideran los conceptos del SAD tales como: (i) proceso de conversión análoga a digital, (ii) tipos de CAD, (iii) comunicación digital de datos, (iv) tipos de encapsulado de circuitos integrados y (v) disponibilidad comercial, con el objetivo de seleccionar el CAD a utilizar y los periféricos requeridos para su funcionamiento. Después de la etapa de selección, se diseña el esquemático de la plataforma considerando los niveles de tensión y corriente máximos que soportan los circuitos integrados. A partir del esquemático del circuito, se diseña la Printed Circuit Board (PCB) para su fabricación. Para coordinar múltiples CAD se utiliza un dispositivo FPGA, por lo que parte de este trabajo considera el desarrollo de los algoritmos en VHDL para comandar ocho canales en paralelo. Finalmente, se implementa la plataforma y se realizan pruebas experimentales, para verificar la correcta adquisición por parte de cada CAD y la correcta comunicación y comando de la FPGA con los CAD.

Los resultados obtenidos muestran que la plataforma digital es capaz de convertir ocho señales análogas a registros digitales de 12 bit en dos microsegundos. La plataforma es compatible con cualquier sistema digital. También, es flexible tanto en hardware como en software, permitiendo replicar tanto la PCB como el código VHDL. Además, la topología CAD en paralelo, convierte señales análogas a digital simultáneamente, es decir, que el número de canales es independiente del tiempo de adquisición de los datos. Por último, al utilizar una FPGA, se tiene la capacidad de sintetizar hardware añadiendo líneas de programa, permitiendo un mejoramiento continuo de la plataforma sin ningún costo adicional.

Agradecimientos

En especial, agradecer de todo corazón a mi madre Mercedes Aguayo, a mi hermano Leonardo Lagos y a mi pareja, por entregarme su amor, cariño, compañía, contención y, sobre todo, por creer en mí.

Agradezco a la Universidad del Bío-Bío porque me ayudó a ser una persona de bien con principios y valores claros. Aquí encontré mi vocación en la vida, amigos increíbles y un ambiente grato de estudio. También agradezco a los profesores por entregarme su conocimiento y motivarme cada clase a seguir adelante con la carrera.

Quiero dar las gracias a mi profesor guía Dr. Sc. Pedro Melín, primero por darme un tema de tesis interesante, segundo por ayudarme a concluirlo con éxito y tercero por la paciencia y disponibilidad.

Agradecer también a Benjamín Larenas, Víctor Rioseco, Rodrigo Morales y Jeovanny Valenzuela, mis colegas del Laboratorio de Acondicionamiento y Conversión de la Energía (LACE) por entregarme sus conocimientos y aguantar mis mañas.

A mis compañeros y amigos de la Universidad, Pedro Gutiérrez, César Millar y Marcelo Sánchez por brindarme su amistad, momentos inolvidables en Jamaica y su apoyo incondicional del día a día.

Este Seminario de Título fue financiado con aportes de CONICYT/FONDECYT 11140759, Grupo de Investigación Acondicionamiento y Conversión de la Energía UBB GI160510/EF y Proyecto UBB 182510 4/R.

Índice

RESUMEN.....	3
ÍNDICE DE FIGURAS	7
ÍNDICE DE TABLAS	7
CAPÍTULO 1 INTRODUCCIÓN.....	9
1.1 INTRODUCCIÓN GENERAL	9
1.2 SISTEMA DE ADQUISICIÓN DE DATOS	10
1.3 CONVERSIÓN A/D.....	11
1.4 CONVERTOR ANÁLOGO – DIGITAL.....	12
1.5 ARQUITECTURA	13
1.5.1 Flash.....	13
1.5.2 Rampa en Escalera.....	14
1.5.3 Aproximaciones Sucesivas.....	15
1.6 TRANSMISIÓN DE DATOS	16
1.6.1 Transmisión Paralela	16
1.6.2 Transmisión Serial.....	17
1.6.2.1 Protocolo UART	18
1.6.2.2 Protocolo I2C.....	18
1.6.2.3 Protocolo SPI.....	19
1.7 OBJETIVOS	20
1.7.1 Objetivo General	20
1.7.2 Objetivos Específicos.....	20
1.8 METODOLOGÍA Y TEMARIO.....	20
1.9 ALCANCES Y LIMITACIONES	21
1.10 MOTIVACIÓN	21
1.11 DISCUSIÓN	22
CAPÍTULO 2 SELECCIÓN, DISEÑO E IMPLEMENTACIÓN.....	23
2.1 INTRODUCCIÓN	23
2.2 CRITERIOS DE SELECCIÓN	23
2.2.1 Velocidad de Muestreo y Resolución.....	23
2.2.2 Arquitectura y Transmisión de Datos.....	24
2.2.3 Canales de Entrada	24
2.2.4 Tipo de Entrada	25
2.2.5 Tecnología de Montaje	25
2.2.6 Disponibilidad	25

2.2.7 Encapsulado	26
2.2.8 Niveles Máximos de Tensión y Corriente	27
2.3 PERIFÉRICOS	27
2.3.1 Reguladores de Tensión.....	27
2.3.2 Buffers de Tensión	28
2.3.3 Dispositivo Embebido.....	29
2.4 ESQUEMÁTICO	30
2.5 DISEÑO DE PCB	32
2.6 FABRICACIÓN DE PCB	33
2.7 MONTAJE DE COMPONENTES	34
2.8 DISCUSIÓN	35
CAPÍTULO 3 SÍNTESIS DE HARDWARE Y PROGRAMACIÓN	36
3.1 INTRODUCCIÓN	36
3.2 FPGA CMOD S6.....	36
3.3 CONFIGURACIÓN DE LOS CAD	38
3.3.1 Marco de transferencia.....	39
3.3.2 Diagrama de Flujo	39
3.4 ADQUISICIÓN DE LOS DATOS	41
3.4.1 Marco de transferencia.....	41
3.4.2 Diagrama de Flujo	42
3.5 DISCUSIÓN	44
CAPÍTULO 4 RESULTADOS	45
4.1 INTRODUCCIÓN	45
4.2 RESULTADOS DE CONFIGURACIÓN	46
4.3 RESULTADOS DE LA ADQUISICIÓN DE DATOS	47
4.4 RESULTADOS DE LA ADQUISICIÓN DE DATOS DEL SISTEMA ACTUAL	48
4.5 DISCUSIÓN	49
CAPÍTULO 5 CONCLUSIONES	50
5.1 SUMARIO.....	50
5.2 CONCLUSIONES	51
5.3 TRABAJOS FUTUROS	52
CAPÍTULO 6 REFERENCIAS	53

Índice de figuras

Figura 1-1: Topología de la plataforma digital.....	9
Figura 1-2: Etapas de un Sistema de Adquisición de Datos (SAD)	10
Figura 1-3: Proceso de conversión A/D.	11
Figura 1-4: Diagrama interno de un CAD de arquitectura flash.	13
Figura 1-5: Diagrama interno de un CAD de rampa de N bit.	14
Figura 1-6: Diagrama interno de un CAD tipo SAR de N bits.	15
Figura 1-7: Estructura general de una transmisión paralela.	17
Figura 1-8: Estructura general de una transmisión serial.	17
Figura 1-9: Conexión serial mediante protocolo UART.	18
Figura 1-10: Conexión serial mediante protocolo I2C.	18
Figura 1-11: Conexión serial mediante protocolo SPI.	19
Figura 2-1: Encapsulados del ADS7253, (a) TSSOP-16, (b) WQFN-16.....	26
Figura 2-3: FPGA Cmod S6.	29
Figura 2-4: Esquemático de la plataforma de desarrollo para un CAD.....	31
Figura 2-5: PCB final de la plataforma de desarrollo.....	32
Figura 2-6: PCB terminada de la plataforma de desarrollo.	33
Figura 2-7: Plataforma Digital ADS7253 –FPGA Cmod S6.	34
Figura 3-1: Diagrama de flujo de configuración CAD.....	40
Figura 3-2: Diagrama de flujo de lectura CAD.	43
Figura 4-1: Resultados de configuración en el modo de interfaz 32-CLK, Dual-SDO.....	46
Figura 4-2: Resultados de las conversiones en el modo de interfaz 16-CLK, Dual-SDO. ..	47
Figura 4-3: Resultados de las conversiones del sistema actual.	48

Índice de tablas

Tabla 2-1: Conversores Análogo-Digital (CAD) tipo SAR disponibles.....	26
Tabla 2-2: Niveles máximos de tensión y corriente para los pines del ADS7253.	27
Tabla 2-3: Niveles de tensión y corriente de los reguladores.....	28
Tabla 2-4: Características de los OPA2350.....	28

Tabla 3-1: PIO utilizados de la FPGA Cmod S6..... 37

Tabla 3-2: Configuración del registro CFR..... 38

Nomenclatura

SAD (DAQ)	:	Sistema de Adquisición de Datos (<i>Data Acquisition System</i>).
CAD (ADC)	:	Conversor Análogo-Digital (<i>Analog-Digital Converter</i>).
DAC	:	Conversor Digital-Análogo (<i>Digital-Analog Converter</i>).
SAR	:	Registro de Aproximaciones Sucesivas (<i>Successive Approximation Register</i>).
MSB	:	Bit Más Significativo (<i>More Significant Bit</i>).
LSB	:	Bit Menos Significativo (<i>Least Significant Bit</i>).
MSPS	:	Millón de Muestras Por Segundo (<i>Millions of samples per second</i>).
UART	:	Transmisor- Receptor Asíncrono Universal (<i>Universal Asynchronous Receiver-Transmitter</i>).
I2C	:	Circuitos Integrados Interconectados (<i>Inter-Integrated Circuit</i>).
SPI	:	Protocolo de Interfaz Serial (<i>Serial Peripheral Interface</i>).
SCLK	:	Reloj Serial (<i>Serial Clock</i>).
SS	:	Selección de Esclavo (<i>Slave Select</i>).
MOSI	:	Petición del Maestro a Esclavo (<i>Master Out Slave In</i>).
MISO	:	Respuesta del Esclavo al Maestro (<i>Master In Slave Out</i>).
SDO-A	:	Salida de Datos Serial del Canal-A (<i>Serial Data Out – A</i>).
SDO-B	:	Salida de Datos Serial del Canal-B (<i>Serial Data Out – B</i>).
PCB	:	Placa de Circuito Impreso (<i>Printed Circuit Board</i>).
SMD	:	Dispositivo de Montaje Superficial (<i>Surface Mounted Device</i>).
FPGA	:	Matriz de Puertas Programable (<i>Field-Programmable Gate Array</i>).
CFR	:	Registro de Configuración (<i>Configuration Register</i>).
VHDL	:	Combinación de dos acrónimos VHSIC y HDL.
VHSIC	:	Circuito Integrado de Alta Velocidad (<i>Very High Speed Integrated Circuit</i>).
HDL	:	Lenguaje de Descripción de Hardware (<i>Hardware Description Language</i>).

Capítulo 1 Introducción

1.1 Introducción General

La mayoría de los SAD existentes e incorporados en soluciones embebidas tales como microcontroladores, Digital Signal Processor (DSP) y Field Programmable Gate Array (FPGA), utilizan solamente un CAD, el que contiene múltiples canales de entrada [1]. Luego, para digitalizar N señales análogas, necesariamente tienen que convertirlas secuencialmente, aumentando en N veces el tiempo de adquisición de los datos.

Por ejemplo, al utilizar un SAD en el control de convertidores de conmutación forzada, se requiere convertir gran cantidad de señales eléctricas de alta frecuencia, como voltajes y corrientes, y, señales de naturaleza mecánica como posición y velocidad angular, por lo que es necesario contar con una etapa de conversión A/D capaz de convertir señales análogas de forma simultánea.

Con el objetivo de disminuir el tiempo utilizado para la adquisición de los datos, se desarrolla una plataforma digital que sustituye al CAD multiplexado por ocho CAD conectados en paralelo, con lo que se logra que ocho señales sean adquiridas en forma paralela. Se utiliza un dispositivo embebido para configurar los CAD y coordinar la adquisición y lectura de los datos, comunicándose con cada CAD mediante un protocolo de comunicación. La Figura 1-1 muestra la topología utilizada para desarrollar la plataforma digital.

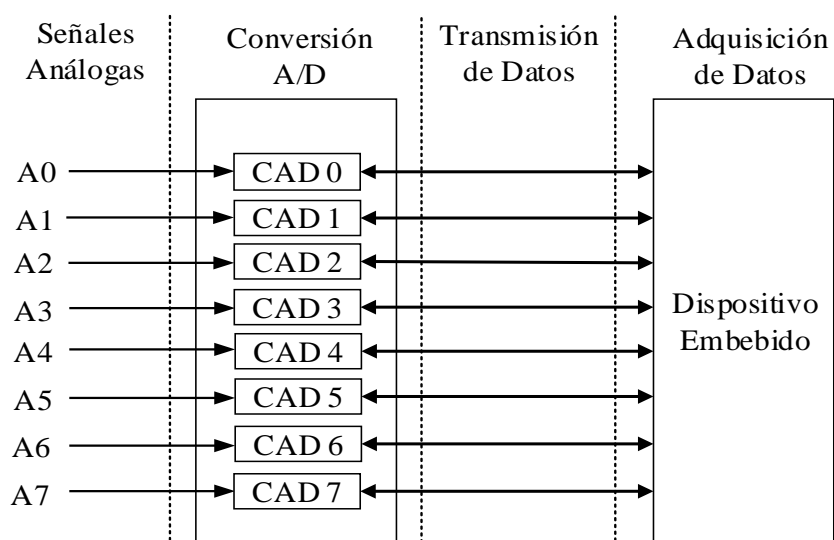


Figura 1-1: Topología de la plataforma digital.

En este Capítulo, se introducen los conceptos: (1.2) Sistema de Adquisición de Datos (SAD), (1.3) Conversión A/D, (1.4) Conversor Análogo - Digital (CAD), (1.5) Arquitectura y (1.6) Transmisión de Datos, con el objetivo de justificar la selección de los CAD a utilizar en la plataforma digital y los periféricos requeridos para su funcionamiento. Además, se exponen los objetivos del Seminario de Título y la metodología utilizada para cumplir con cada uno de ellos. Por último, se discute sobre las ventajas y diferencias de las arquitecturas estudiadas y el protocolo de transmisión de datos seleccionado.

1.2 Sistema de Adquisición de Datos

Los procesos industriales deben controlar variables físicas como temperatura, presión y humedad, o corriente, tensión y velocidad angular, que deben mantenerse dentro rangos específicos requeridos por el sistema. Los Sistemas de Adquisición de Datos (SAD) permiten monitorear datos de dichas variables físicas, para detectar fallas en los procesos industriales y realizar acciones de control.

Un SAD se compone de cuatro etapas fundamentales: (i) Transducción, (ii) Acondicionamiento, (iii) Conversión A/D y (iv) Procesamiento [2]. La Figura 1-2 muestra un diagrama en bloques de las etapas de un SAD.

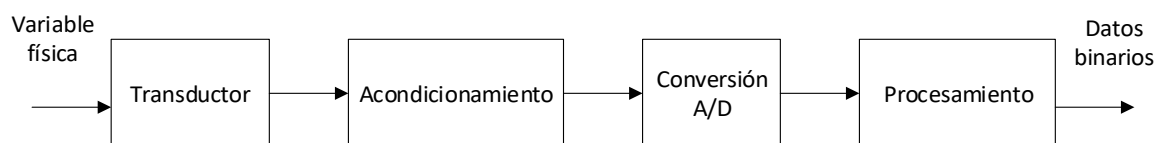


Figura 1-2: Etapas de un Sistema de Adquisición de Datos (SAD)

La etapa transducción contiene un sensor que transforma la variable física en una señal eléctrica de tensión o corriente. Luego, la señal eléctrica transducida se acondiciona modificándose su amplitud, frecuencia o fase. Después, un Conversor Análogo - Digital (CAD), la convierte en un registro digital de N bits. Finalmente, un dispositivo embebido como una Digital Signal Processor (DSP) o Field Programmable Gate Array (FPGA), almacena y procesa el registro, para ser monitoreado por un dispositivo micro computarizado.

A continuación, de la Figura 1-2, se explica el funcionamiento sólo de la etapa Conversión A/D, dado que el desarrollo de la plataforma digital no considera modificar las demás etapas del SAD.

1.3 Conversión A/D

La Conversión Análoga – Digital o conversión A/D, pertenece a la tercera etapa de un Sistema de Adquisición de Datos (SAD) y consiste en convertir una señal análoga, que puede tomar un valor perteneciente al conjunto numérico de los Reales, a un registro digital de N bits. El proceso de conversión A/D lo realiza un Conversor Análogo - Digital (CAD) y se compone de las etapas: (i) Muestreo y Retención o Sample and Hold (S/H), (ii) Cuantificación y (iii) Codificación [3]. La Figura 1-3 muestra en diagrama de bloques el proceso de conversión A/D.

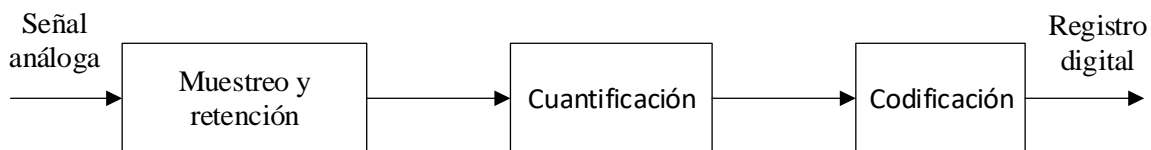


Figura 1-3: Proceso de conversión A/D.

(i) La etapa Muestreo y Retención, cada cierto tiempo, toma una muestra de amplitud de la señal análoga y mantiene su valor hasta que finalice el proceso de Conversión A/D. La frecuencia de toma de muestras es la frecuencia de muestreo y es sincronizada por una señal de reloj. Según el teorema de Nyquist, para recuperar totalmente la información contenida en la señal original, se deben tomar muestras con una frecuencia igual o superior al doble de su componente en frecuencia más alta.

(ii) La etapa Cuantificación, asigna un nivel en código decimal a cada muestra, llamado nivel de cuantificación. La cantidad de niveles está condicionada a 2^N , donde N es la resolución del CAD, por ejemplo, si se tiene un CAD de 12 bit de resolución, son 4096 niveles diferentes.

(iii) La etapa Codificación, se encarga de transformar los niveles de cuantificación a un código binario o complemento a dos.

1.4 Conversor Análogo – Digital

Los Conversores Análogo - Digital se diferencian entre sí, por sus parámetros de operación. Algunos parámetros son: (i) Resolución, (ii) Velocidad de Muestreo, (iii) Número de Canales de Entrada y (iv) Tensión de Referencia.

(i) La resolución de un CAD, es el número de bits (N) que condiciona la cantidad de niveles de cuantificación y el ancho del registro digital de salida. También este parámetro se puede expresar en unidad de voltios (V) y se define como la razón entre el fondo de escala (FE) de la señal de entrada y la cantidad de niveles de cuantificación menos uno. A este valor, se le denomina bit menos significativo (LSB) (1) y corresponde a la diferencia de amplitud existente entre cada nivel.

$$\text{LSB} = \frac{\text{FE}}{2^N - 1} \quad (1)$$

(ii) La velocidad de muestreo, es la cantidad de muestras por segundo que el CAD toma de la señal análoga. Este parámetro condiciona que tan rápido se convierten las señales a registros digitales y depende de la frecuencia máxima de reloj que soportan los CAD.

(iii) Los canales de entrada son el medio por el cual las señales análogas son recibidas por los CAD. Este número condiciona la cantidad máxima de señales a convertir, por ejemplo, si un CAD es de doble canal, tiene la capacidad para convertir dos señales análogas a digital.

(iv) La tensión de referencia es un nivel de voltaje continuo, que el CAD utiliza para realizar una comparación con la señal previamente acondicionada. La tensión de referencia es configura por el usuario, generalmente, a la mitad de Fondo de Escala (FE) de la señal de entrada.

1.5 Arquitectura

La arquitectura de un Conversor Análogo - Digital (CAD), tiene que ver con su diseño o composición interna, que permite llevar a cabo el proceso de conversión A/D. En esta sección se entrega información general referida a las arquitecturas más utilizadas en la actualidad: (1.5.1) Flash, (1.5.2) Rampa en Escalera y (1.5.3) Aproximaciones Sucesivas [3].

1.5.1 Flash

Esta arquitectura utiliza Amplificadores Operacionales (A.O.) configurados como comparadores. La figura 1-2 muestra un CAD tipo Flash de N bits. Estos comparan una señal de entrada análoga con diferentes tensiones de referencia establecidas por un divisor de tensión interno. Si la señal de entrada análoga sobrepasa la tensión de referencia de un comparador, se genera un nivel lógico alto. Luego, cada salida de los comparadores ingresa a un codificador de prioridad que decide cuál de todas sus entradas es de mayor orden, generando en su salida una señal digital en código binario.

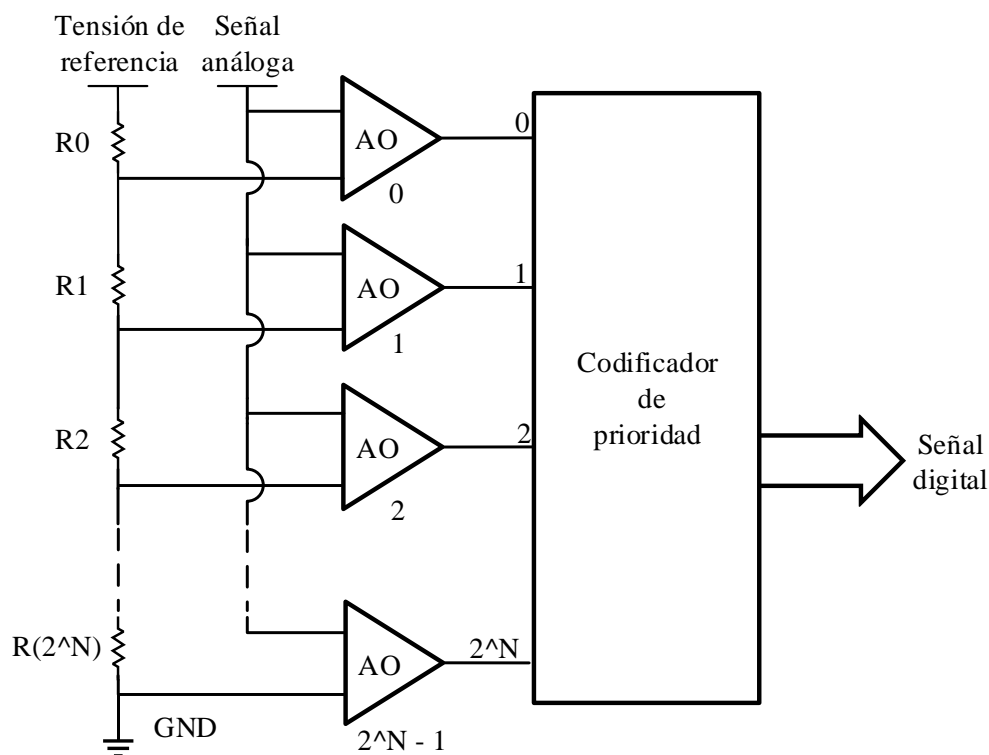


Figura 1-4: Diagrama interno de un CAD de arquitectura flash.

El número de comparadores está condicionado por $2^N - 1$ y la cantidad de resistencias y entradas del codificador de prioridad por 2^N , por ejemplo, para un CAD de arquitectura Flash de ocho bits se requieren 255 comparadores, 256 resistencias y un codificador de prioridad de 256 entradas.

El gran número de componentes que requiere este tipo de CAD, provoca que sea bastante costoso, de gran tamaño y baja resolución (hasta 8 bits), pero a la vez muy rápido, llegando a convertir una señal análoga en menos de $1 \mu\text{s}$. Estos CAD se utilizan en aplicaciones donde se requiera procesar señales de alta frecuencia como el radar y en los Sistemas de Adquisición de Datos (SAD) de almacenamiento óptico o video.

1.5.2 Rampa en Escalera

Esta arquitectura compara una señal de rampa en escalera con la señal análoga de entrada. La figura 1-3 muestra un CAD tipo Rampa en Escalera de N bits. Se comienza la conversión activando un pulso de inicio en la lógica de control, provocando que el contador se inicialice, entregando en sus salidas un cero digital. Luego, las salidas del contador ingresan al Conversor Digital - Análogo (CDA) que la convierte en una tensión de 0V. Esta tensión es usada como referencia por un comparador, el cual la compara con la señal análoga de entrada. Del resultado de la comparación depende si el contador seguirá contando o no, es decir, si el nivel de tensión de la señal de entrada es mayor a la tensión referencia, entonces el comparador entrega un uno lógico y el contador sigue su cuenta. La cuenta termina cuando la tensión de referencia supere la tensión de entrada. Por último, el resultado de la conversión es definido por el valor de cuenta anterior.

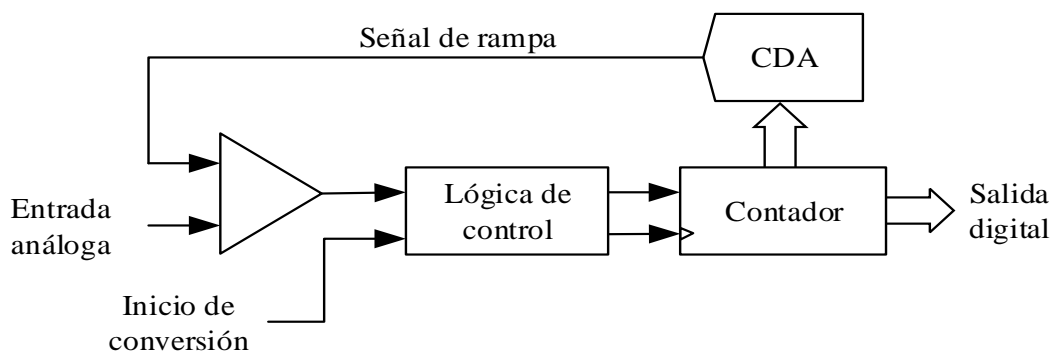


Figura 1-5: Diagrama interno de un CAD de rampa de N bit.

La ventaja de este tipo de CAD es que puede llegar a resoluciones altas (hasta 20 bits), pero son extremadamente lentos, ya que el número de comparaciones está dado por $2^N - 1$, es decir, que para convertir una señal analógica con una resolución de 20 bits necesita realizar 1.048.575 comparaciones.

Por tanto, su tiempo de conversión se encuentra entre 1 ms y 100 ms. Estos CAD son ampliamente utilizados en los multímetros digitales, dado que se requiere de una alta precisión en las mediciones.

1.5.3 Aproximaciones Sucesivas

Esta arquitectura funciona comparando la señal analógica de entrada con una señal de tipo escalera. Su principio es similar al Conversor Análogo - Digital (CAD) de Rampa en Escalera con la excepción que el contador se sustituye por un Registro de Aproximaciones Sucesivas (SAR). La figura 1-4 muestra el diagrama interno de un CAD tipo SAR de N bits. La conversión comienza con el SAR colocando en uno al bit más significativo (MSB) y los demás bits en cero. Los N bits son convertidos por un Conversor Digital - Análogo (CDA) en una señal de tipo escalera, que luego, es comparada con la señal analógica de entrada. Si el resultado de la comparación resulta ser 1 el SAR mantiene el nivel alto del MSB y cambia el siguiente bit a 1. En caso contrario, el SAR cambia el 1 del MSB por un 0 lógico y sigue la comparación con el siguiente bit. Así sucesivamente hasta comparar el bit menos significativo (LSB). Finalmente, el SAR entrega el resultado de la conversión en código binario o complemento a dos.

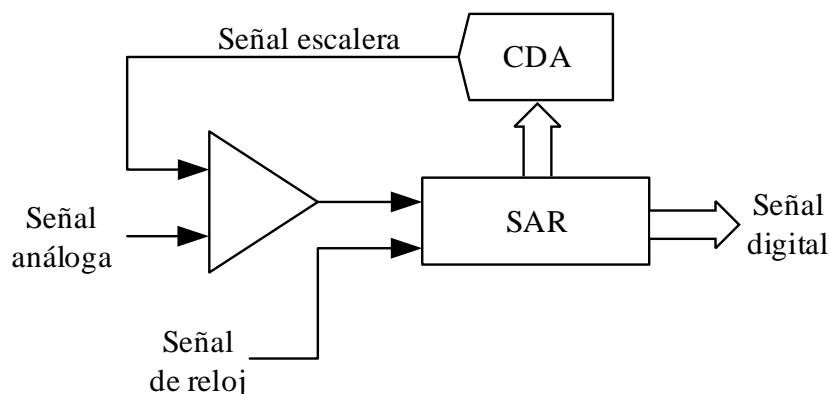


Figura 1-6: Diagrama interno de un CAD tipo SAR de N bits.

El número de comparaciones es igual a la resolución del CAD, es decir, que para una resolución de N bits se realizan N comparaciones, lo que es considerablemente más rápido que el CAD tipo rampa en escalera. La arquitectura tipo SAR es la más utilizada en la gama de 8 a 16 bits de resolución y tiempos de conversión entre 1 μ s y 1 ms.

1.6 Transmisión de datos

La comunicación entre dos dispositivos digitales, requiere de un trasmisor, un receptor, un mensaje y un medio. El mensaje es entendido, por estos dispositivos, en un lenguaje binario, es decir, de dos estados o valores lógicos (1 y 0). A estos dos estados se les conoce como bits, que representan un nivel de tensión o corriente previamente establecido por convención universal. La transmisión y recepción de los bits, puede ser de forma serial o paralela [4]. En esta sección, se entrega información general de ambos tipos de transmisión, analizando sus ventajas y diferencias.

1.6.1 Transmisión Paralela

La transmisión de datos paralela, consiste en transmitir simultáneamente N bits por N canales de comunicación diferentes. Estos canales suelen ser pistas en una placa electrónica, cables u otros medios físicos. La figura 1-5 muestra la estructura general de una transmisión paralela de ocho bits. Una de las ventajas, de este tipo de transmisión, es que la comunicación entre dispositivos digitales, se realiza rápidamente. Sin embargo, cada vez que se aumenta el número de bits, también aumenta el número de canales y, en consecuencia, hay más hilos de comunicación. Es por esto, que su aplicación está dirigida a comunicaciones de corta distancia, por ejemplo, entre microprocesadores y periféricos.

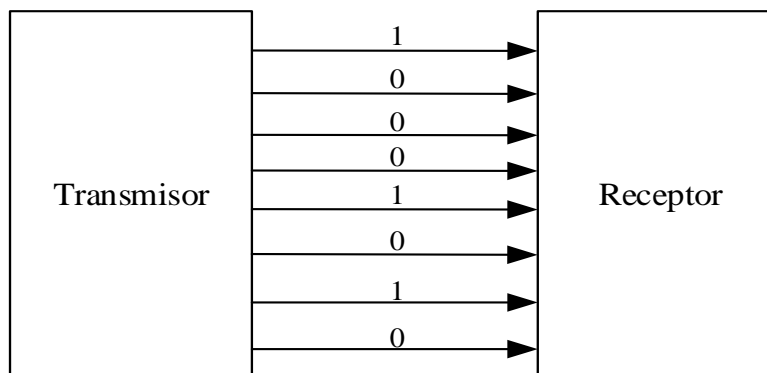


Figura 1-7: Estructura general de una transmisión paralela.

1.6.2 Transmisión Serial

La transmisión de datos en forma serial, a diferencia de la paralela, requiere solamente de un hilo de comunicación. Los datos o bits, viajan por este medio en forma secuencial, uno tras otro, hasta el receptor digital. La figura 1-6 muestra la estructura general de una transmisión serial. Una ventaja de transmitir los datos en forma serial es el costo del cableado, puesto que, si se transmiten ocho bits, entonces es ocho veces más económica que la transmisión paralela.

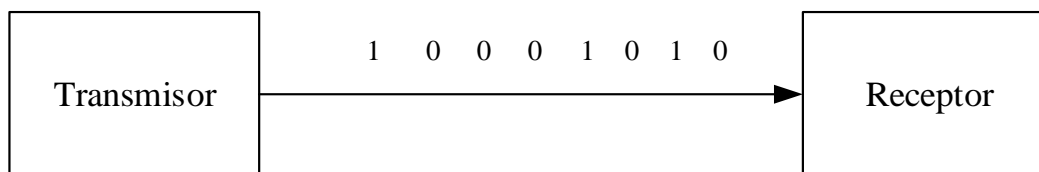


Figura 1-8: Estructura general de una transmisión serial.

El mensaje o código es entendido por el receptor mediante un protocolo de comunicación serial.

A continuación, se explican en forma general los protocolos de comunicación serial más utilizados: (1.6.2.1) UART [5], (1.6.2.2) I2C y (1.6.2.3) SPI [6].

1.6.2.1 Protocolo UART

El protocolo UART (Universal Asynchronous Receiver-Transmitter, en español: Transmisor - Receptor Asíncrono Universal) consiste en comunicar dos dispositivos digitales de forma serial mediante la línea de transmisión de datos (TX) y la línea de recepción (RX). Para realizar la comunicación se requiere que el TX, de un dispositivo, se conecte con el RX del otro y viceversa. La figura 1-7 muestra la conexión serial mediante protocolo UART. Este modo de conexión permite que la comunicación se realice de manera asíncrona, es decir, que ambos dispositivos se comuniquen a la vez y en distintos periodos de tiempo.

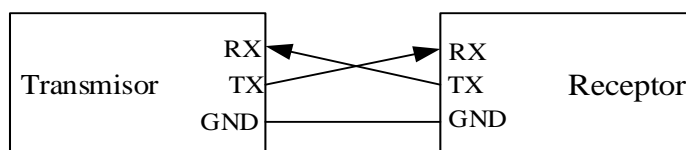


Figura 1-9: Conexión serial mediante protocolo UART.

1.6.2.2 Protocolo I2C

El protocolo I2C (Inter - Integrated Circuit, en español: Circuitos Integrados Interconectados) permite comunicar múltiples dispositivos digitales en forma serial a través dos hilos de comunicación llamados SDA (Serial Data) y SCL (Serial Clock). La figura 1-8 muestra la conexión serial mediante protocolo I2C. En el bus de datos puede haber más de un maestro y varios esclavos. Por el hilo SDA, el maestro se comunica por medio de una dirección, con un esclavo determinado, y, por SCL se transmite la señal de reloj que sincroniza la comunicación entre los dispositivos.

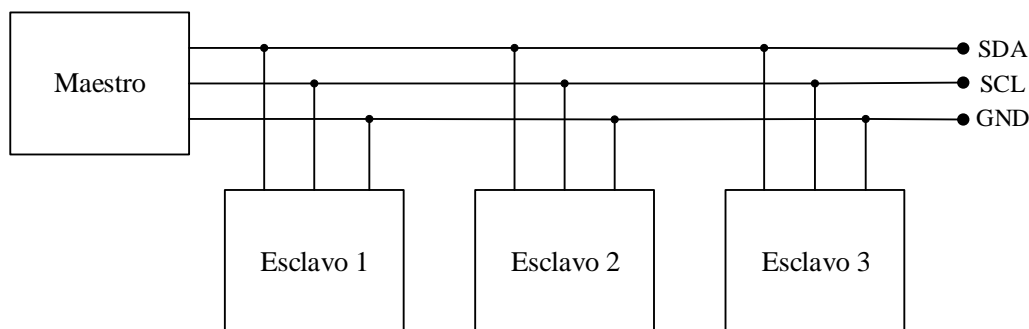


Figura 1-10: Conexión serial mediante protocolo I2C.

1.6.2.3 Protocolo SPI

El protocolo SPI (Serial Peripheral Interface, en español: Interfaz Periférica Serial) al igual que el I2C, permite comunicar varios dispositivos a la vez en forma serial, pero mediante 4 hilos de comunicación llamados SCLK (Serial Clock), MOSI (Master Out Slave In), MISO (Master In Slave Out) y SS (Slave Select). También se diferencian en que solo puede haber un maestro en el bus datos. La figura 1-9 muestra la conexión serial mediante protocolo SPI. La comunicación comienza seleccionando al esclavo por medio de SS. Al mismo tiempo, el maestro genera la señal de sincronización SCLK y transmite los datos mediante MOSI. Luego, recibe la respuesta del esclavo seleccionado por MISO. Este tipo de protocolo es de alta velocidad y se utiliza principalmente para comunicaciones a corta distancia, por ejemplo, entre un microcontrolador y sus periféricos en una placa electrónica.

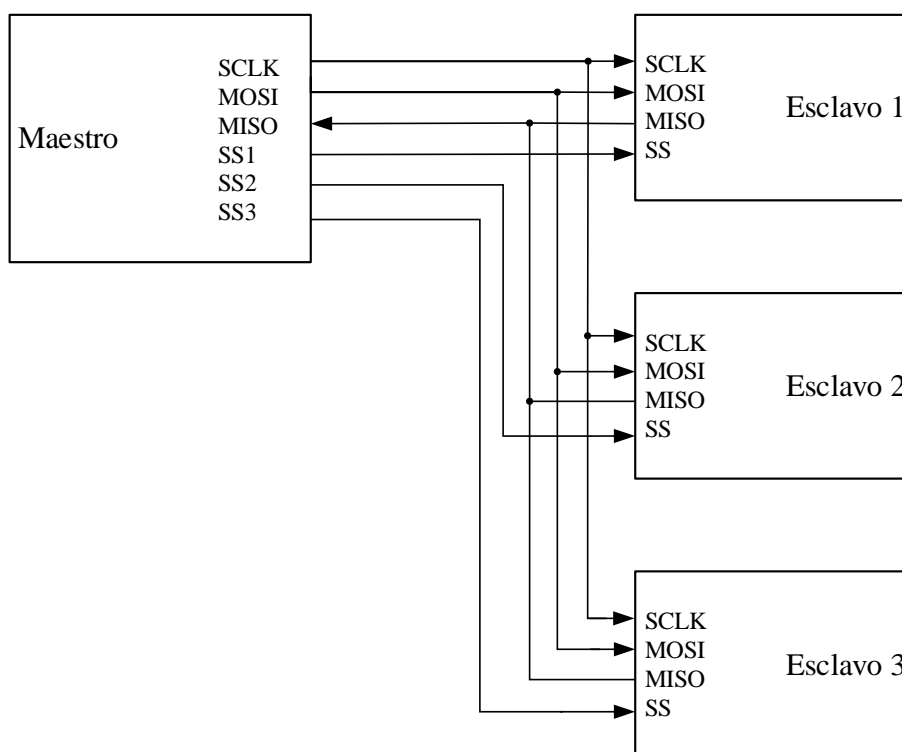


Figura 1-11: Conexión serial mediante protocolo SPI.

1.7 Objetivos

1.7.1 Objetivo General

- Diseñar una plataforma de desarrollo para adquisición de datos basado en Conversores Análogo - Digital (CAD) en paralelo.

1.7.2 Objetivos Específicos

- Estudiar y Seleccionar el tipo de CAD a utilizar en el SAD.
- Diseñar esquemático del SAD.
- Implementar PCB del proyecto usando software KiCad.
- Evaluar la conversión de señales analógicas con una alta tasa de muestreo.

1.8 Metodología y Temario

El problema es la baja velocidad en la adquisición de los datos. La solución propone reemplazar el Conversor Análogo - Digital (CAD) multiplexado por ocho CAD conectados en paralelo. Esto permite, de forma simultánea, que cada una de las ocho señales análogas se conviertan a digital. A continuación, se muestra el temario que permitirá cumplir con los objetivos de este Seminario de Título:

Capítulo 2. Selección, Diseño e Implementación: en este Capítulo se explican los criterios de selección de los Conversores Análogo - Digital (CAD), el diseño del esquemático y la fabricación de la PCB de la plataforma de desarrollo. Finalmente, se expone la plataforma terminada y se discute al respecto.

Capítulo 3. Síntesis de hardware y Lógica de programación: en este Capítulo se muestra, en diagrama de flujo, la lógica de programación del dispositivo embebido y se explica su funcionamiento.

Capítulo 4. Resultados Experimentales: en este Capítulo se ingresan señales de entrada análogas por cada canal de la plataforma de desarrollo y se visualizan los resultados de las conversiones de cada Conversor Análogo - Digital (CAD) mediante osciloscopio.

Capítulo 5. Conclusiones: en este Capítulo se realiza un resumen de lo hecho en cada uno de los Capítulos anteriores, conclusiones respecto a los objetivos logrados y posibles trabajos futuros.

1.9 Alcances y Limitaciones

- Se utilizará como referencia, para el diseño de la plataforma de desarrollo, esquemático de plataformas de evaluación de los CAD. Además, los diagramas de aplicaciones típicas presentes en las hojas de datos de cada componente y limitaciones de corriente y voltaje de los componentes integrados y los CAD.
- Se utilizará un protocolo de comunicaciones para transmitir los resultados de las conversiones al dispositivo embebido.
- El diseño del esquemático y PCB de la plataforma de desarrollo se realizarán con el software KiCad 5.0.0.
- Se considerarán dispositivos de montaje superficial (SMD) y de orificio pasante o THT para el diseño e implementación de la plataforma de desarrollo.
- Se utilizará fuente DC externa para la alimentación de la plataforma de desarrollo.
- Se realizarán pruebas considerando señales analógicas continuas con tensiones comprendidas entre 0 y 5V.
- Se utilizará un osciloscopio para medir las señales tanto analógicas como digitales y el tiempo de adquisición.

1.10 Motivación

Diseñar una plataforma de adquisición de datos basado en Conversores Análogo-Digital (CAD) en paralelo, para aplicaciones de electrónica de potencia. Además, que la plataforma sea capaz de convertir señales analógicas en forma simultánea, permitiendo una disminución del tiempo de adquisición de los datos y, por ende, una disminución del tiempo utilizado en la estrategia de control. La plataforma será utilizada como una tarjeta para el desarrollo de nuevos proyectos, sirviendo como una interfaz entre la etapa de acondicionamiento y procesamiento de un Sistema de Adquisición de Datos.

1.11 Discusión

Sobre la base de las arquitecturas de Conversores Análogo - Digital (CAD) estudiadas previamente, se puede afirmar que: la arquitectura Flash, si bien destaca por su gran velocidad de conversión, su precisión es baja comparada con las demás. En el lado opuesto, se tiene a la arquitectura Rampa en Escalera, que cuenta con una alta resolución, pero el elevado número de comparadores condiciona que el proceso de conversión sea bastante lento. En cambio, la arquitectura aproximaciones sucesivas (SAR) se encuentra entre medio de ambas arquitecturas, proponiendo una conversión a media velocidad y una resolución aceptable.

Sobre la base de los tipos de transmisión de datos, la transmisión paralela permite una comunicación a una gran velocidad, sin embargo, requiere de más hilos de comunicación que la transmisión serial. Por otro lado, la transmisión serial ofrece tres protocolos de comunicación: (i) UART, (ii) I2C y (iii) SPI. Los protocolos (i) UART e (ii) I2C, requieren solo de dos hilos de comunicación, en cambio, el protocolo (iii) SPI lo realiza mediante cuatro hilos. En donde, la señal de reloj SCLK, petición del maestro a los esclavos MOSI, señal de habilitación SS y respuesta de los esclavos al maestro MISO, se transmiten por canales diferentes y de forma síncrona. Esto permite que la comunicación se realice a corta distancia y con cualquier dispositivo digital que sea capaz de recibir flujo de bits en serie sincronizados por una señal de reloj.

Para determinar la arquitectura y transmisión de datos con las que deben contar los CAD, se tienen que considerar los criterios de selección, que se explican más detalladamente en el Capítulo 2.

Capítulo 2 Selección, Diseño e Implementación

2.1 Introducción

En este Capítulo se profundiza en los criterios de selección de los Conversores Análogo - Digital (CAD) y los periféricos para su funcionamiento, el diseño del esquemático de la plataforma y la Printed Circuit Board (PCB). Luego, se describe el proceso de montaje de los componentes y se muestra la plataforma digital terminada. Por último, se realiza una discusión sobre la selección de los componentes y el diseño e implementación de la plataforma.

2.2 Criterios de Selección

Actualmente hay multitud de Conversores Análogo - Digital (CAD), resultando en ocasiones difícil decidirse por uno en concreto. Los criterios para seleccionar el CAD indicado para ser utilizado en la plataforma digital son: (i) Velocidad de Muestreo y Resolución, (ii) Arquitectura y Transmisión de Datos, (iii) Canales de Entrada, (iv) Tipo de Entrada, (v) Tecnología de Montaje, (vi) Disponibilidad y (vii) Encapsulado [7]. Además, los CAD necesitan de un mínimo de periféricos para funcionar, ya que es un dispositivo que requiere tensiones de alimentación analógica y digital, tensiones de referencia, señales de entrada y de comunicación. Para seleccionar los periféricos, se consideran los niveles máximos de tensión y corriente que soportan los CAD.

2.2.1 Velocidad de Muestreo y Resolución

La velocidad de muestreo es la cantidad de muestras por segundo que toma el Conversor Análogo - Digital (CAD) de la señal analógica para convertirla a digital. Para esta aplicación se requiere que sea igual o mayor a un millón de muestras por segundo (1 MSPS).

La resolución indica el número de bit del registro digital que el CAD utiliza para representar los distintos niveles de tensión de la señal analógica. En este caso debe ser igual o mayor a 12 bits.

2.2.2 Arquitectura y Transmisión de Datos

Sobre la base de estudio previo de las arquitecturas de los Conversores Análogo – Digital (CAD) y tomando en cuenta los criterios de Velocidad de Muestreo y Resolución, se puede decir que: el CAD tipo Flash si bien cuenta con una velocidad de muestreo mayor al millón de muestras por segundo, no alcanza a una resolución mayor a ocho bits. Por otra parte, los CAD tipo Rampa en Escalera cuentan con una alta resolución, pero su velocidad de muestreo no supera las cien mil muestras por segundo. Por tanto, se selecciona el CAD de aproximaciones sucesivas o tipo SAR, dado que es el único que cumple con ambos criterios de selección.

En relación a los Tipos de Transmisión de Datos, si se requiere una resolución de 12 bits, una transmisión paralela no es la mejor opción, ya que se necesitarían 12 hilos de comunicación por cada uno de los CAD, siendo bastante costoso el desarrollo de plataforma digital. Además, considerar que la comunicación entre los CAD y el dispositivo embebido debe ser a corta distancia y a alta velocidad, por tanto, la transmisión serial por protocolo SPI es la más adecuada para la aplicación.

2.2.3 Canales de Entrada

Los Conversores Análogo – Digital (CAD) pueden convertir una o más señales análogas a digital. Esta capacidad es establecida por el fabricante y recibe el nombre de canales de entrada. El número de canales puede variar desde uno a doscientos cincuenta y seis, pero a medida que aumenta esta cantidad, se eleva el costo del CAD y disminuye su velocidad de muestreo. Todo depende de la aplicación que se le quiera dar y de los requerimientos del diseñador. En este caso, como se requiere convertir ocho señales, lo ideal sería un CAD de ocho canales, pero por simplicidad en la implementación y teniendo en cuenta que la velocidad de muestreo se verá afectada, se opta por seleccionar cuatro CAD de doble canal.

2.2.4 Tipo de Entrada

Las señales análogas pueden ser de tres tipos: unipolar, que solo se compone de valores de tensiones positivas o negativas, diferencial, que realiza una resta entre dos señales de entrada, y bipolar, compuesta de tensiones tanto positivas como negativas. El diseñador determina el tipo de entrada configurando el registro interno que poseen los Conversores Análogo – Digital (CAD) tipo SAR, posicionando la tensión de referencia en la mitad del fondo de escala (FE) de la señal análoga de entrada. En concreto, las ocho señales análogas que son recibidas por los CAD, previamente acondicionadas, son de tipo unipolar con fondo de escala entre cero y cinco volts, por tanto, el CAD seleccionado debe admitir este tipo de entrada.

2.2.5 Tecnología de Montaje

El montaje de componentes es un proceso que puede ser realizado por una máquina autónoma en una empresa dedicada a la fabricación de tarjetas o de forma artesanal. El proceso de montaje varía dependiendo del tipo de tecnología de los dispositivos electrónicos: orificio pasante o Through – Hole (THT) y montaje superficial o Surface Mount Technology (SMT). A pesar que el montaje de componentes se verá en la sección 2.8 del presente capítulo, se debe considerar la tecnología de montaje antes de seleccionar el Conversor Análogo – Digital (CAD), puesto que, es necesario saber previamente si será posible montarlo con la tecnología que se dispone. Se decide utilizar un CAD de montaje superficial o SMT, puesto que se cuenta con los instrumentos de montaje superficial necesarios.

2.2.6 Disponibilidad

Es difícil seleccionar un Conversor Análogo - Digital (CAD) que cumpla con los criterios de selección anteriores, ya que muchas veces hay que adecuarse a su disponibilidad en el mercado y no siempre se consigue la mejor opción. La Tabla 2-1 muestra los CAD tipo SAR disponibles [8].

Tabla 2-1: Conversores Análogo-Digital (CAD) tipo SAR disponibles.

Conversor Análogo-Digital	Resolución (bits)	Velocidad de muestreo (SPS)
ADS7253	12	1 M
ADS7853	14	1 M
ADS8353	16	600 K

De la Tabla 2-1 se tiene que la mejor opción es el ADS7853, ya que cuenta con una velocidad de muestreo y resolución mayor que la requerida por el sistema. No obstante, el ADS7853 estaba agotado, y, en consecuencia, se selecciona el ADS7253 priorizando su velocidad de muestreo de 1 MSPS.

2.2.7 Encapsulado

El fabricante del Conversor Análogo – Digital (CAD) ADS7253 (Texas Instruments) ofrece dos formatos de encapsulados: (a) TSSOP-16 y (b) WQFN-16, disponibles en la hoja de datos del CAD [9]. La Figura 2-1 muestra ambos encapsulados.

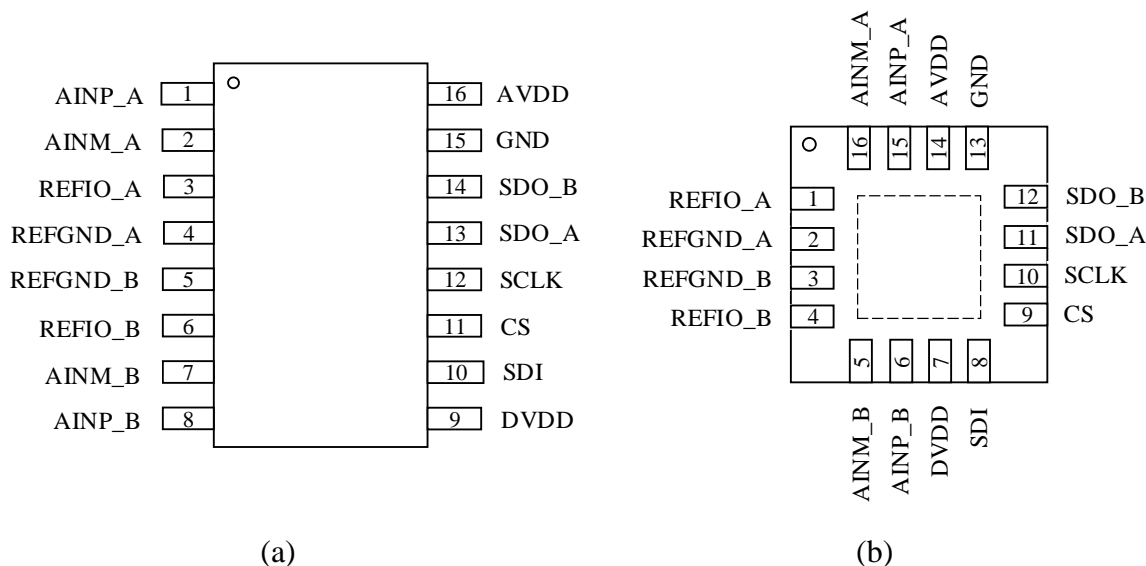


Figura 2-1: Encapsulados del ADS7253, (a) TSSOP-16, (b) WQFN-16.

De la Figura 2-1, se elige el encapsulado TSSOP-16, ya que no se cuenta con la instrumentación necesaria para montar un encapsulado WQFN-16, dado que sus pines se encuentran dispuestos por debajo, por tanto, se requiere de materiales como soldadura en pasta y horno de convección, o en su defecto, pistola de calor.

2.2.8 Niveles Máximos de Tensión y Corriente

Los Conversores Análogo - Digital (CAD) soportan un nivel de tensión y corriente que es proporcionado por el fabricante. Si se exceden estos niveles puede provocar daños irreparables en los CAD. La Tabla 2-2 muestra los niveles máximos de tensión y corriente que soporta el ADS7253.

Tabla 2-2: Niveles máximos de tensión y corriente que soporta el ADS7253.

REFIO_X (nA)	DIDD (mA)	AIDD (mA)	DVDD (V)		AVDD (V)	
Típico	Típico	Típico	Min	Max	Min	Max
100	0.5	10	1.65	5.5	4.7	5.5

De la Tabla 2-2, se puede apreciar que el ADS7253 requiere de una alimentación analógica (AVDD) comprendida entre 4.7V y 5.5V y alimentación digital (DVDD) entre 1.65V y 5.5V. Los pines para tensiones de referencia (REFIO_X) absorben típicamente 100 nA, los pines digitales (DIDD) 0.5 mA y los pines análogos (AIDD) 10 mA.

2.3 Periféricos

Por lo general, los CAD vienen montados en tarjetas de evaluación proporcionadas por el mismo fabricante, con el fin de aprovechar al máximo sus capacidades y configurarlos externamente, permitiendo seleccionar mediante jumpers, el fondo de escala y nivel de tensión de referencia externa o interna, entre otras. En este caso, los periféricos fueron seleccionados tomando como referencia el esquemático de la tarjeta de evaluación del ADS7253 [10]. Además, se toma en consideración los niveles máximos de tensión y corriente de la Tabla 2-2. En este subcapítulo, se indican y explican los periféricos, que permiten que cada uno de los CAD funcione dentro de los rangos establecidos por el fabricante.

2.3.1 Reguladores de Tensión

La alimentación análoga (AVDD) de cada CAD se fija en 5V y se proporciona a través de una fuente DC externa. En cambio, la alimentación digital (DVDD) se fija en 3.3V y se suministra a través de un regulador interno LM3940 [11], que regula la tensión de 5V a 3.3V.

Por último, las tensiones de referencia se fijan en 2.5V, suministradas por un regulador interno REF5025, que requiere alimentación de 5V. La Tabla 2-3 muestra los niveles de tensión y corriente de los reguladores.

Tabla 2-3: Niveles de tensión y corriente de los reguladores.

REF5025					LM3940				
Ii (mA)	Io (mA)	Vi (V)		Vo (V)	Ii (mA)	Io (mA)	Vi (V)		Vo (V)
Típico	Típico	Min	Max	Típico	Típico	Típico	Min	Max	Típico
1.2	10	2.7	18	2.5	-	10	4.5	5.5	3.3

De la Tabla 2-3, se verifica que la corriente de salida (Io) del REF5025 típicamente es de 10 mA, es decir, que puede suministrar 1.25 mA a cada pin REFIO_X de los cuatro CAD. Además, el LM3940 permite una alimentación digital de 3.3V y un suministro de corriente de 10 mA. Por tanto, los reguladores seleccionados permiten alimentar a cada CAD sin problemas.

2.3.2 Buffers de Tensión

Las señales análogas de entrada serán proporcionadas a la plataforma digital, por medio de un divisor de tensión externo. Cada señal de entrada debe llegar sin pérdidas de tensión a los respectivos pines de los ADS7253. Para ello, se añaden buffers de tensión a cada señal análoga de entrada. Los buffers son una configuración de los amplificadores operacionales (A.O.), en donde, la entrada no inversora se conecta a la señal de entrada y la inversora a su salida. Los circuitos integrados utilizados son OPA2350, que contienen en su interior dos A.O. La Tabla 2-4 muestra los niveles de tensión y corriente de los OPA2350.

Tabla 2-4: Características de los OPA2350.

OPA2350				
Ii (mA)	Io (mA)	Vi (V)		Vo (V)
Típico	Típico	Min	Max	Max
10	40	2.7	7	Vi + 0.2

2.3.3 Dispositivo Embebido

La transmisión y recepción de los datos se realizará por protocolo SPI (Serial Peripheral Interface), por lo cual, se tendrán cinco hilos de comunicación: tres de entrada para las señales SCLK, SS y MOSI y dos de salida para MISO-A y MISO-B.

Por tanto, se requieren de veinte hilos de comunicación para que los cuatro ADS7253 operen correctamente. Esto quiere decir, que el dispositivo embebido debe disponer de al menos veinte señales de entrada/salida.

Para el diseño de la plataforma digital, se decide utilizar una FPGA (Field Programmable Gate Array) Cmod S6 [12] como coordinador de la adquisición y lectura de datos, ya que cuenta con las dimensiones y número de pines necesarios para comunicarse con los CAD. La Figura 2-3 muestra la vista superior de una FPGA Cmod S6.



Figura 2-2: FPGA Cmod S6.

2.4 Esquemático

El software utilizado para la creación del esquemático y posterior PCB es KiCad 5.0.0. [13], ya que es un software libre y no requiere de ninguna licencia para su utilización. La Figura 2-4 muestra el esquemático de la plataforma para un Conversor Análogo – Digital (CAD) y la FPGA (Field Programmable Gate Array), ya que solamente se replican el OPA2350, CAD ADS7253 y sus conexiones cuatro veces.

Se puede apreciar que, además de los periféricos mencionados anteriormente, se conectan resistencias en serie a cada señal de entrada, para proteger la plataforma en caso de que los OPA2350 fallen, limitando la corriente para el resto del circuito, condensadores de desacoplo, para eliminar señales de corriente alterna, posiblemente añadidas, por la fuente de alimentación externa o reguladores internos, pin headers macho, para conectar las señales de entrada/salida y comunicación con la siguiente etapa de procesamiento de datos. Además, un conector tipo terminal block para la alimentación y pin headers hembra para conectar los pines de la FPGA Cmod S6. Por último, se dejan disponibles los pines 15 y 16 de la FPGA para hacer a la plataforma digital compatible con una FPGA Artix-7.

En cuanto a las conexiones eléctricas, se tiene alimentación común para los CAD y la FPGA, es decir, los 5 V y tierra (GND). Las tensiones de referencia, se conectan directamente a los pines REFIO-X, a diferencia de las entradas análogas que se aíslan mediante buffers de tensión.

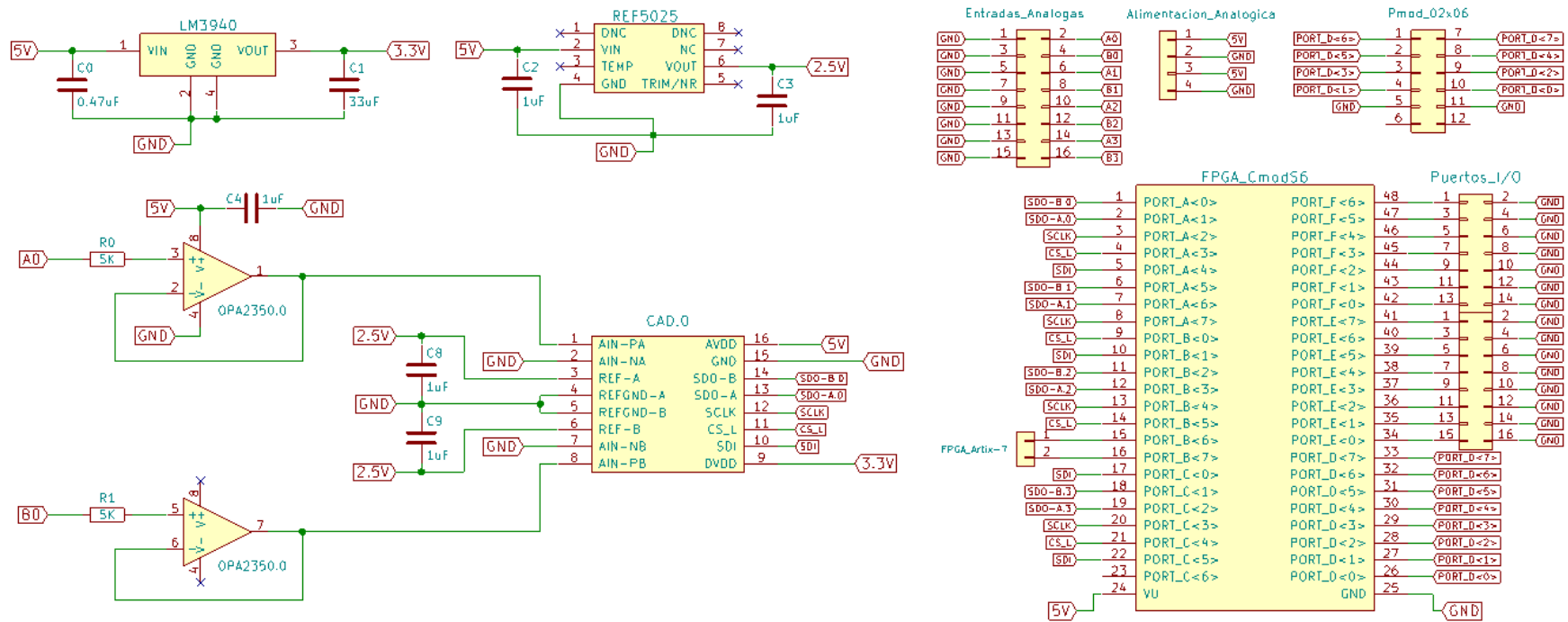


Figura 2-3: Esquemático de la plataforma de desarrollo para un CAD.

2.5 Diseño de PCB

Luego de diseñar el esquemático de la plataforma de desarrollo, se diseña su PCB y se envía a fabricar. La Figura 2-5 muestra la PCB final. Se añaden mallas a tierra independientes para la parte analógica y digital, para eliminar el ruido electromagnético generado por las señales de alta frecuencia, evitando errores en la lectura de los datos y protegiendo al circuito completo.

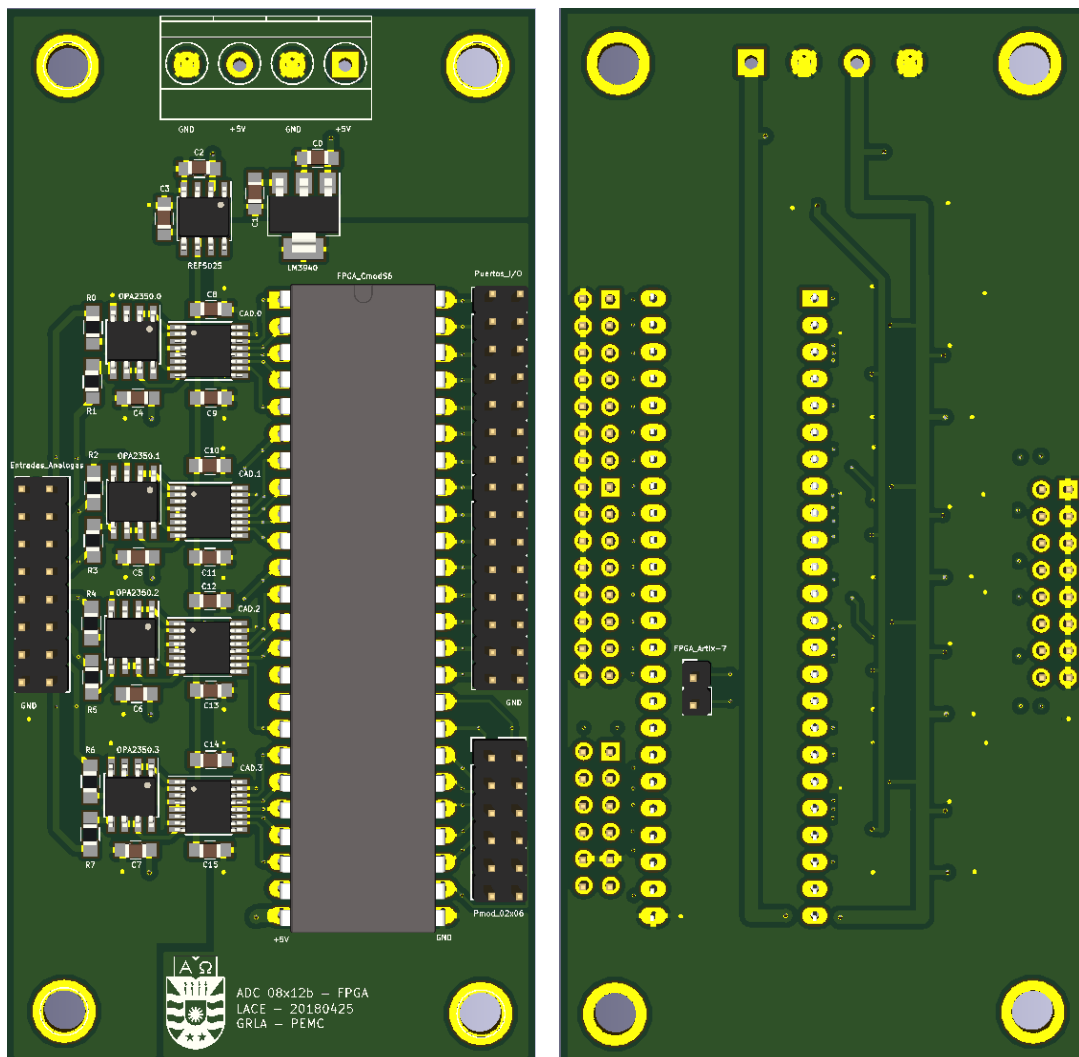


Figura 2-4: PCB final de la plataforma de desarrollo.

2.6 Fabricación de PCB

La fabricación de una PCB (Printed Circuit Board) se realiza mediante un sistema automático. Se inicia con un proceso fotográfico para crear las pistas, y luego, un grabado químico para quitar el cobre no deseado. El sistema requiere de unos archivos llamados Gerbers, que tienen la información necesaria de la serigrafía y las capas de cobre de la PCB. Además, contienen la ubicación de las pistas, vías y orificios de montaje. Estos archivos son generados mediante el software de diseño utilizado.

Los archivos Gerbers de la plataforma digital son enviados a la empresa Olimex [14]. En el proceso de fabricación, se le agrega una capa protectora de soldadura, de color verde, que evita cortocircuitos en la placa y la corrosión del aire. La figura 2-6 muestra la PCB de la plataforma de desarrollo terminada.

La PCB es de doble capa, su tamaño es de 10 cm x 5 cm, contiene planos de tierra independientes para señales análogas y digitales; cuatro orificios de montaje, pistas de 0.3 mm, 0.6 mm y 1.25 mm, y vías de 0.45 mm, 0.65 mm y 1.3 mm. Además, cuenta con orificios en cada una de las señales de interés, para medirlas más fácilmente mediante osciloscopio.

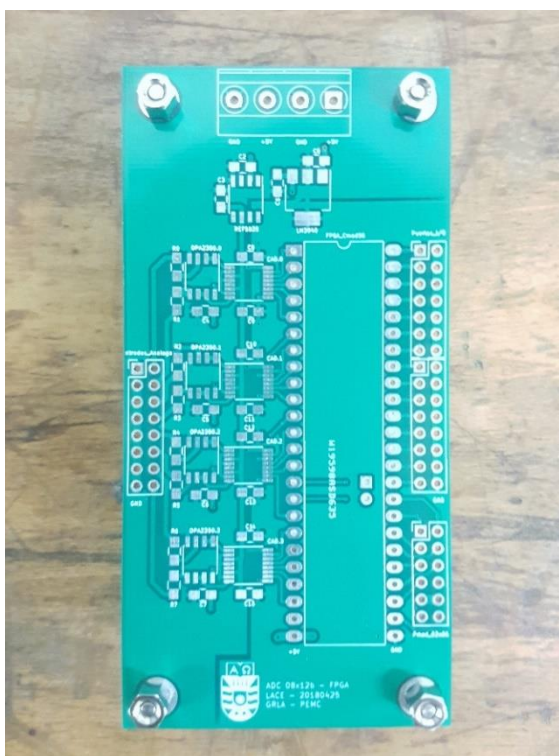


Figura 2-5: PCB terminada de la plataforma de desarrollo.

2.7 Montaje de Componentes

El proceso para montar los componentes en la PCB, se puede dividir en dos etapas: la primera, montaje de componentes SMD, y la segunda, montaje de componentes de orificio pasante.

Los componentes de montaje superficial o SMD, son delicados y hay que tener cuidado al manipularlos, ya que son dispositivos pequeños y en ocasiones, pueden desaparecer de nuestra vista. La técnica de montaje utilizada es la siguiente: se limpia el área, donde se montará el componente, con alcohol isopropílico, se aplica flux sobre las huellas de los pines, se coloca el componente en la posición correspondiente y se monta mediante el método de hilo de estaño y cautín. Los componentes montados bajo esta técnica son: LM3940, REF5025, ADS7253, OPA2350, condensadores de tantalio y resistencias.

Los componentes de orificio pasante o THT, son montados en la PCB, al igual que los SMD, mediante el método de hilo de estaño y cautín, con la excepción que se estañan por la capa inferior. Los componentes montados bajo este método son: pin headers macho, conector de alimentación externa y pin headers hembra para conectar la FPGA Cmod S6 con la plataforma digital. La Figura 2-7 muestra la plataforma digital terminada.

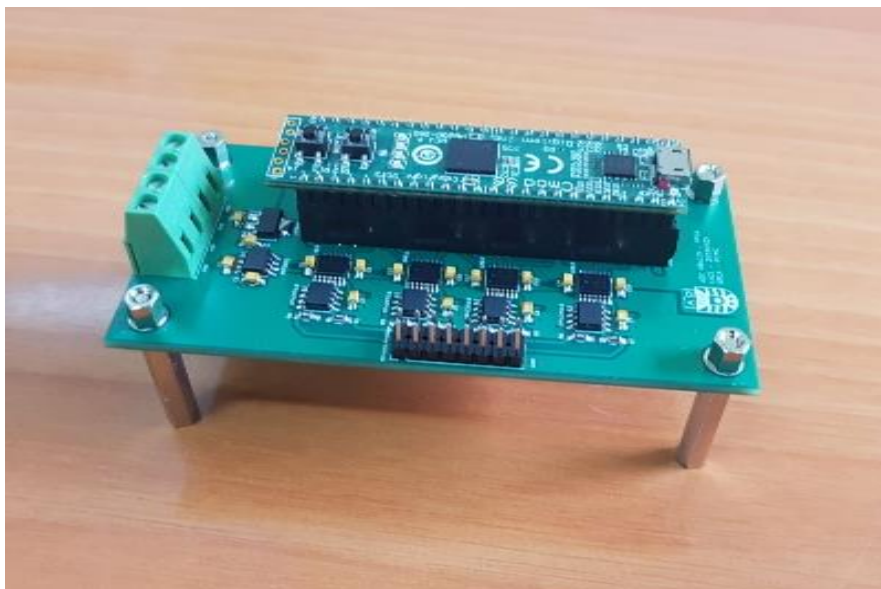


Figura 2-6: Plataforma Digital ADS7253 –FPGA Cmod S6.

2.8 Discusión

Respecto a la selección del Conversor Análogo – Digital (CAD), ADS7253, se puede afirmar que: es la mejor opción entre los CAD disponibles, ya que cuenta con una resolución de 12 bit y una velocidad de muestreo de 1 MSPS. Además, tiene el mismo encapsulado que el ADS7853, lo que permite reemplazar cada uno de los CAD en caso que se requiera, aumentando la resolución de la plataforma digital a 14 bit.

Respecto a la selección de los periféricos, se puede decir que: fueron seleccionados tomando en cuenta los niveles máximos de tensión y corriente que soportan los pines de los CAD y siguiendo como ejemplo el esquemático de la plataforma de evaluación del ADS7253. No obstante, la decisión de utilizar una FPGA como el coordinador de la lectura y adquisición de los datos, es netamente por contar con las dimensiones adecuadas y un encapsulado DIP-48, de fácil montaje y con 46 pines configurables como entradas o salidas digitales.

Respecto al diseño del esquemático de la plataforma digital, se puede destacar que: el software KiCad a pesar de no poseer en sus librerías los CAD ADS7253 ni los periféricos para su funcionamiento, es posible crearlos fácilmente gracias al editor de librerías. En concreto, los buffers de tensión solo son necesarios para las señales análogas, ya que provienen de un divisor de tensión y hay que adaptar impedancias, para asegurar que las tensiones de entrada ingresen sin atenuación a los pines AINP-A y AINP-B de los CAD. A diferencia del regulador REF5025, que permite suministrar las tensiones de referencia a los pines REFIO-X de cada CAD sin atenuación alguna, puesto que es un regulador de alta precisión.

Respecto al diseño y fabricación de la PCB, se puede afirmar que: la adición de mallas a tierra independientes para la parte analógica y digital de la plataforma, permite eliminar ruido electromagnético proveniente de algún circuito interno o externo. Además, funcionan como un gran disipador de calor para todos los componentes, puesto que el área de GND es prácticamente la mitad de la PCB. Por último, agregar oficinas de medición en todas señales de interés, permite que sea posible una cómoda visualización en osciloscopio.

Capítulo 3 Síntesis de hardware y programación

3.1 Introducción

La implementación de la plataforma digital está terminada. Los cuatro Conversores Análogo - Digital (CAD) montados y listos para funcionar. Para ello, los CAD deben ser configurados previamente. El modo de operación de los CAD es controlado por un registro interno (CFR) de diez y seis bits.

En este capítulo se detalla el proceso de programación de la FPGA (Field Programmable Gate Array), para configurar los CAD y adquirir los datos. Por último, se explica el funcionamiento de ambos programas mediante diagramas de flujo.

3.2 FPGA Cmod S6

Las funciones de la FPGA son: (i) configurar los Conversores Análogo - Digital (CAD) y (ii) coordinar la lectura y adquisición de los datos. Esto se lleva a cabo generando las señales SPI necesarias: MOSI, SCLK y SS. Cada señal es transmitida desde la FPGA a los CAD. La señal MOSI, transmite la configuración de cada CAD, SCLK, reloj interno de la FPGA, permite sincronizar la comunicación con los CAD, y SS coordina el inicio y fin del marco de transferencia. Los resultados de las conversiones se transmiten, desde los CAD a la FPGA, por medio de las señales SDO-A y SDO-B. La FPGA almacena los datos en registros de memoria internos y los transmite como salidas por las señales CONV-A y CONV-B. Además, se copian las señales MOSI, SCLK y SS a otras salidas de la FPGA por medio de SDI-DSP, SCLK-DSP y CS-DSP respectivamente. Esto se realiza para comunicar la plataforma digital con otro controlador digital como ARDUINO, DSP o FPGA y medir los resultados de las conversiones con mayor comodidad mediante osciloscopio.

Los nombres de las señales SPI se modifican para una mejor comprensión de aquí en adelante: MOSI por SDI, MISO por SDO y SS por CS_L. En cambio, la señal SCLK se mantiene. Los pines de entrada/salida (PIO) utilizados de la FPGA se muestran en la Tabla 3-1. Estos pines se configuran mediante el software ISE Design Suite [15] de Xilinx, a través de los constraints.

Tabla 3-1: PIO utilizados de la FPGA Cmod S6.

PIN			I/O	Nivel	Descripción
Nombre	PIO	Constraint			
SDO-B.0	01	P5	Entrada digital	CMOS	Resultado de conversión Canal B de CAD.0
SDO-A.0	02	N5	Entrada digital	CMOS	Resultado de conversión Canal A de CAD.0
SDO-B.1	06	N12	Entrada digital	CMOS	Resultado de conversión Canal B de CAD.1
SDO-A.1	07	L14	Entrada digital	CMOS	Resultado de conversión Canal A de CAD.1
SDO-B.2	11	J14	Entrada digital	CMOS	Resultado de conversión Canal B de CAD.2
SDO-A.2	12	J13	Entrada digital	CMOS	Resultado de conversión Canal A de CAD.2
SDO-B.3	18	G13	Entrada digital	CMOS	Resultado de conversión Canal B de CAD.3
SDO-A.3	19	E14	Entrada digital	CMOS	Resultado de conversión Canal A de CAD.3
CONV-B.0	43	K1	Salida digital	CMOS	Resultado de conversión Canal B de CAD.0
CONV-A.0	44	K2	Salida digital	CMOS	Resultado de conversión Canal A de CAD.0
CONV-B.1	39	G1	Salida digital	CMOS	Resultado de conversión Canal B de CAD.1
CONV-A.1	40	G2	Salida digital	CMOS	Resultado de conversión Canal A de CAD.1
CONV-B.2	37	H1	Salida digital	CMOS	Resultado de conversión Canal B de CAD.2
CONV-A.2	38	H2	Salida digital	CMOS	Resultado de conversión Canal A de CAD.2
CONV-B.3	35	F1	Salida digital	CMOS	Resultado de conversión Canal B de CAD.3
CONV-A.3	36	F2	Salida digital	CMOS	Resultado de conversión Canal A de CAD.3
SCLK-DSP	47	M1	Salida digital	CMOS	Señal de sincronización con DSP
CS-DSP	48	M2	Salida digital	CMOS	Señal de habilitación con DSP
SDI-DSP	45	L1	Salida digital	CMOS	Señal de configuración con DSP
SCLK	03	N6	Salida digital	CMOS	Señal de sincronización
	08	L13			
	13	H14			
	20	E13			
CS_L	04	P7	Salida digital	CMOS	Señal de habilitación
	09	K14			
	14	H13			
	21	D14			
SDI	05	P12	Salida digital	CMOS	Señal de configuración
	10	K13			
	17	G14			
	22	D13			

3.3 Configuración de los CAD

Los Conversores Análogo - Digital (CAD), al recibir la tensión de alimentación, se configuran por defecto a operar en el modo de interfaz 32-CLK, Dual-SDO. Luego, los CAD, pueden ser reconfigurados a través del registro interno (CFR) de dieciséis bits. La palabra de configuración debe transmitirse, desde la FPGA a los CAD, por medio de la señal SDI. La Tabla 3-2 muestra el estado de los bits del registro CFR. Esta configuración de bits, permite que los CAD operen en el modo de interfaz 16-CLK, Dual-SDO, para aprovechar al máximo sus capacidades y funcionen correctamente en base a los criterios de selección y diseño previamente establecidos.

Tabla 3-2: Configuración del registro CFR.

Registro CFR		
Número de bit	Estado	Descripción
CFR.B15	1	1000 = Escribir en el registro CFR y habilitar los demás bits CFR [11:0].
CFR.B14	0	
CFR.B13	0	
CFR.B12	0	
CFR.B11	1	1 = Seleccionar modo de interfaz 16-CLK.
CFR.B10	0	0 = Usar SDO-A para salida ADC-A y SDO-B para salida ADC-B.
CFR.B9	1	1 = Seleccionar el fondo escala de la señal de entrada FSR = 2 x Vref.
CFR.B8	0	0 = Por defecto.
CFR.B7	0	0 = Tensión externa pin AINM_X conectado a GND.
CFR.B6	0	0 = Usar tensión de referencia externa.
CFR.B5	0	0 = No entrar al modo STANBY.
CFR.B4	0	0 = Salida de datos en código binario.
CFR.B[3:0]	0	0 = Por defecto.

3.3.1 Marco de transferencia

Los Conversores Análogo - Digital (CAD) utilizan el reloj serial o SCLK para sincronizar la transferencia de datos. La señal CS_L define el marco de transferencia. El marco comienza con un flanco de bajada de CS_L y termina con un flanco de subida de CS_L. Se requiere de un mínimo de N flancos descendentes de SCLK para validar las operaciones de escritura o lectura de datos. N depende del modo de interfaz usado para leer los resultados de las conversiones. En el modo de interfaz por defecto 32-CLK, Dual-SDO, se requieren 32 flancos de bajada de SCLK para reconfigurar los CAD.

3.3.2 Diagrama de Flujo

Las señales SPI (Serial Peripheral Interface), SDI, CS_L y SCLK, son generadas por la FPGA (Field Programmable Gate Array) a través de un lenguaje de descripción de hardware de alta velocidad o código VHDL [16]. La Figura 3-1 muestra el diagrama de flujo de configuración de un CAD. El programa es replicado para configurar los cuatro ADS7253 de forma simultánea.

El programa inicia. Se definen las variables SDI, CS_L y SCLK como salidas digitales y clk como entrada. Se definen las constantes CFR, que contiene la configuración del registro interno de los CAD y CNT, que es el valor de cuenta. La sincronización del programa es por flanco ascendente de clk. El programa espera hasta que se produzca un flanco ascendente de clk y asigna los valores de estados iniciales a las salidas. Si no vuelve a consultar. Luego, en el siguiente flanco de subida de la señal clk, comienza el marco de transferencia, provocando un flanco descendente de CS_L. Al mismo tiempo, se copia a la salida SCLK la entrada clk y a SDI se le asigna el valor de CFR (CNT). El programa consulta si el valor de CNT es igual a cero, si la respuesta es no, entonces disminuye la cuenta en uno y vuelve a consultar por un nuevo flanco ascendente de reloj. El proceso se repite hasta que CNT sea igual a cero, momento en que el programa sale del bucle de programación y consulta por una última vez si se produjo un flanco ascendente de clk, si la respuesta es sí, entonces se asignan nuevamente los valores de estados iniciales a las salidas. Finaliza el marco de transferencia con un flanco de subida de CS_L y termina el programa.

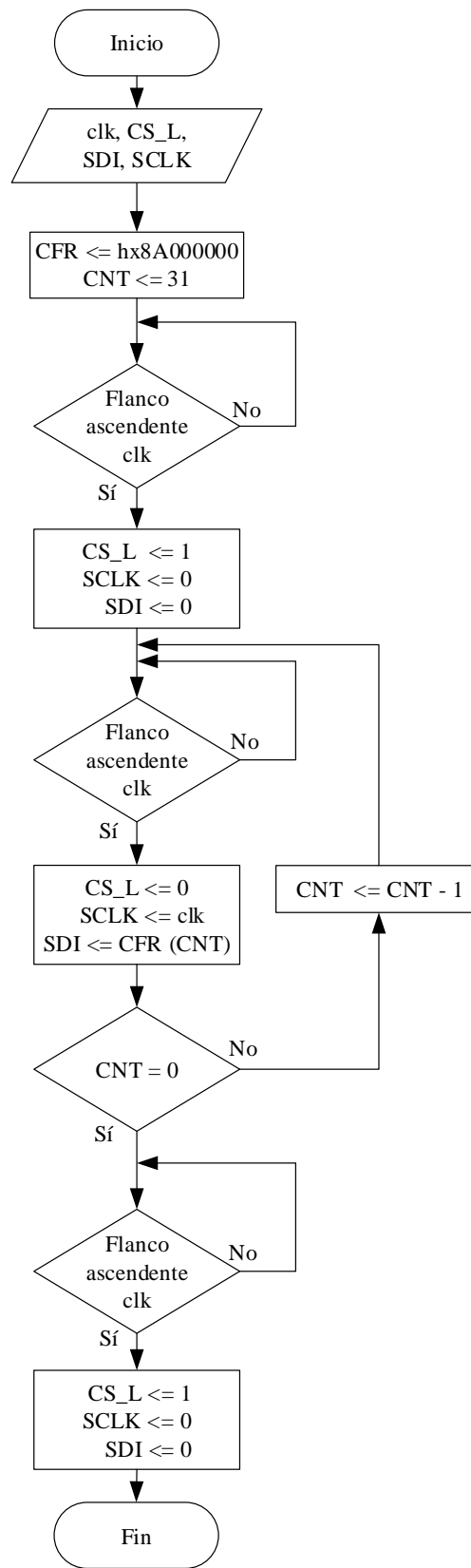


Figura 3-1: Diagrama de flujo de configuración CAD.

3.4 Adquisición de los datos

En el programa anterior, los Conversores Análogo - Digital (CAD) se configuran para operar en el modo de interfaz 16-CLK, Dual-SDO. Esta configuración de bits queda almacenada en el registro CFR y es válida para el siguiente marco de transferencia. Si no se requiere que CFR se actualice, entonces la señal SDI debe permanecer en estado bajo. Luego, para adquirir los datos, se deben ingresar a la plataforma de desarrollo ocho señales análogas con niveles de tensión comprendidos entre cero y cinco volts. Los CAD convierten estas señales a un registro de doce bits en código binario. Luego, los resultados de las conversiones se transmiten, desde los CAD a la FPGA (Field Programmable Gate Array), por medio de las señales SDO-A y SDO-B. La FPGA los almacena en registros de memoria internos y los transmite a otros pines de entrada/salida por las señales CONV_A y CONV_B respectivamente.

3.4.1 Marco de transferencia

Al igual que el marco de transferencia anterior, se utiliza SCLK para sincronizar la transferencia de datos. El inicio y fin del marco está condicionado a un flanco de subida y bajada de CS_L respectivamente. Los CAD se encuentran configurados para operar en el modo de interfaz 16-CLK, Dual-SDO, por tanto, se requiere de 16 flancos descendentes de SCLK para validar la lectura de las conversiones. Es importante recalcar que la señal SDI debe permanecer en estado bajo durante todo el marco de transferencia para no cambiar la configuración del registro CFR.

3.4.2 Diagrama de Flujo

Las señales SPI (Serial Peripheral Interface), SDI, CS_L, SCLK, CONV-A y CONV-B son generadas por la FPGA (Field Programmable Gate Array) a través del lenguaje de descripción de hardware de alta velocidad o código VHDL [16]. La Figura 3-2 muestra el diagrama de flujo de lectura de un CAD. El programa es replicado para leer los resultados de las conversiones de los cuatro ADS7253 de forma simultánea.

El programa inicia. Se definen las variables SDI, CS_L, SCLK, CONV-A y CONV-B como salidas digitales y clk, SDO-A y SDO-B como entradas. Se crean dos registros internos de 16 bits MISO-A y MISO-B. Se definen las constantes CFR y el contador CNT de cuatro bits. La sincronización del programa es por flanco ascendente de clk. El programa espera hasta que se produzca un flanco ascendente de clk y asigna los valores de estados iniciales a las salidas. Si no vuelve a consultar. Luego, en el siguiente flanco de subida de la señal clk, comienza el marco de transferencia, provocando un flanco descendente de CS_L. Al mismo tiempo, se copia a la salida SCLK la entrada clk, a SDI se le asigna el valor de CFR (CNT), se almacenan los resultados de las conversiones en los registros internos y se transmiten a las salidas CONV-A y CONV-B. El programa consulta si el valor de CNT es igual a cero, si la respuesta es no, entonces disminuye la cuenta en uno y vuelve a consultar por un nuevo flanco ascendente de reloj. El proceso se repite hasta que CNT sea igual a cero, momento en que el programa sale del bucle de programación y consulta por una última vez si se produjo un flanco ascendente de clk, si la respuesta es sí, entonces se asignan nuevamente los valores de estados iniciales a las salidas. Finaliza el marco de transferencia con un flanco de subida de CS_L y termina el programa.

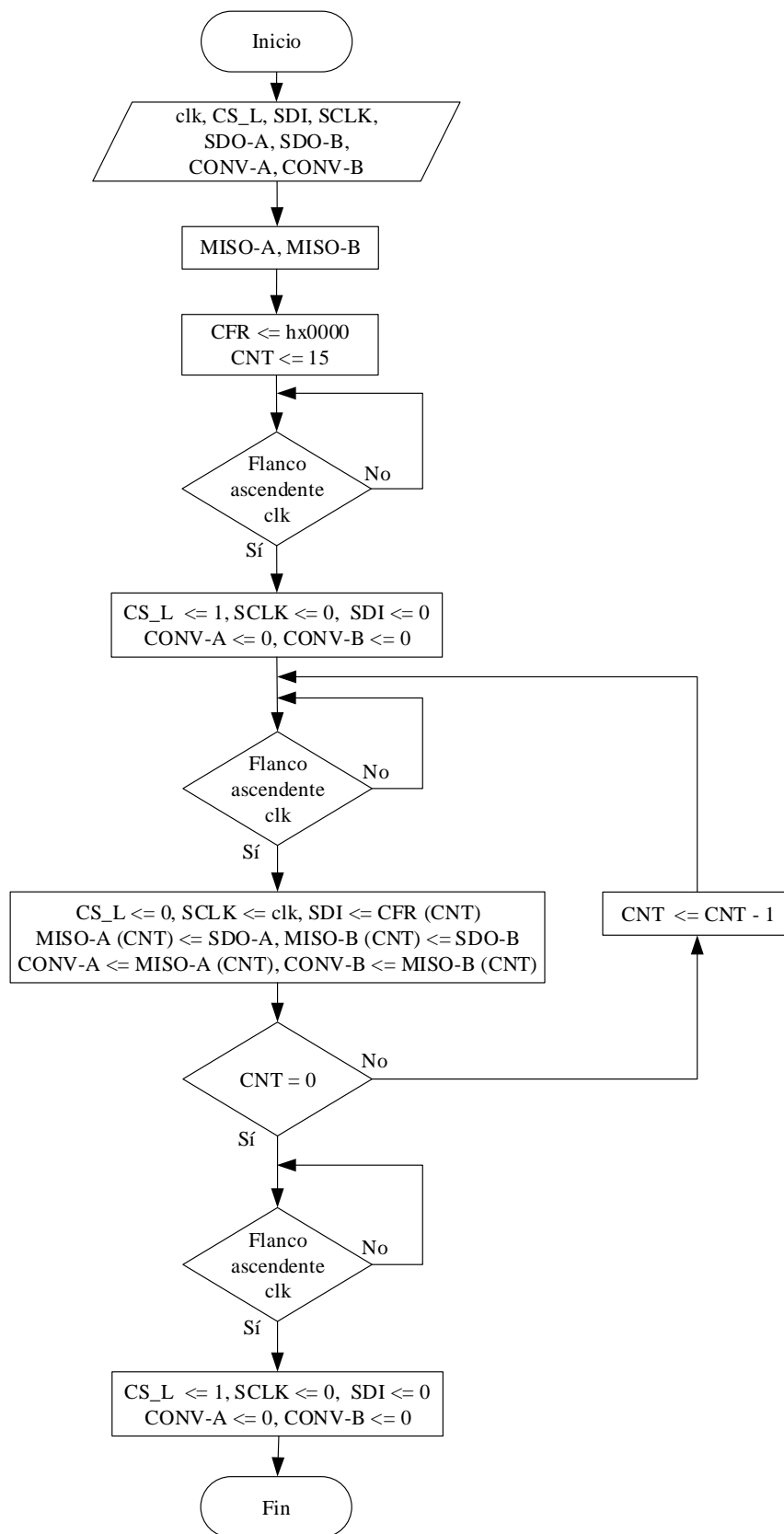


Figura 3-2: Diagrama de flujo de lectura CAD.

3.5 Discusión

El registro CFR contiene 16 bits que permiten configurar los Conversores Análogo - Digital (CAD) para que operen en un modo de interfaz y entiendan entre otras cosas, cuál es la señal a convertir y sus características. Los CAD tienen cuatro modos de interfaz, pero el 16-CLK, Dual-SDO utilizado es el modo que requiere menos cantidad de flancos descendentes de clk, siendo la forma más rápida de leer los resultados de las conversiones.

La FPGA (Field Programmable Gate Array) cuenta con 46 pines disponibles y configurables como entradas o salidas digitales, permitiendo variedad de aplicaciones como comunicarse con varios dispositivos a la vez, y, transmitir, recibir y almacenar datos de manera simultánea.

El lenguaje de programación VHDL permite al diseñador sintetizar el hardware describiendo la funcionalidad del circuito y no los dispositivos electrónicos que lo componen. Por lo cual, si se requiere modificar el circuito solo basta con agregar o quitar líneas de programación.

En los diagramas de flujo de configuración y adquisición de datos, se puede apreciar que la sincronización es por flanco ascendente de clk, pero los CAD se configuran y transmiten los resultados de las conversiones por flanco de bajada. Se programa de esta manera para sincronizar la FPGA y los CAD, ya que las señales SPI deben mantenerse en el estado anterior por lo menos la mitad de ciclo de reloj. De lo contrario, no sería posible reconfigurar los CAD y se producirían errores de conversión.

Capítulo 4 Resultados

4.1 Introducción

Una vez implementada la plataforma de desarrollo, se hace una revisión visual de los componentes montados, pistas y soldadura mediante un microscopio digital portátil. A continuación, se realizan pruebas de continuidad para detectar cortocircuito entre los pines de los componentes y pistas. Luego, se energiza la plataforma, se mide tensión en los pines de alimentación de los circuitos integrados y se comprueba que los niveles se encuentren dentro del rango entregado por el fabricante.

Después de efectuar el procedimiento anterior, se procede a verificar el correcto funcionamiento de la plataforma a base de dos pruebas experimentales: prueba de configuración y adquisición de datos. Las mediciones son realizadas mediante un osciloscopio modelo TEKTRONIX MSO 2024B.

En este Capítulo, se muestran los resultados obtenidos a partir de las pruebas realizadas, se describen las señales SPI (Serial Peripheral Interface) presentes en los marcos de transferencia y se mide el tiempo de adquisición de los datos. Por último, se discute sobre lo obtenido y se compara con el sistema actual.

4.2 Resultados de configuración

La prueba de configuración permite reconfigurar el registro CFR, para que los Conversores Análogo – Digital (CAD) operen en el modo de interfaz 16-CLK, Dual-SDO. Para ello, se energiza la plataforma de desarrollo mediante un regulador (Powerbrick de Digitlent) externo de 5V y se conecta la FPGA (Field Programmable Gate Array) al dispositivo computarizado mediante puerto USB. A continuación, se ingresan ocho señales de entrada provenientes de un divisor resistivo con niveles de tensión comprendidos entre 0V y 5V. Finalmente, se programa la FPGA con el código configuración y se miden los resultados en modo por defecto mediante osciloscopio. La Figura 4-1 muestra los datos obtenidos de los CAD operando en el modo de interfaz 32-CLK, Dual-SDO.

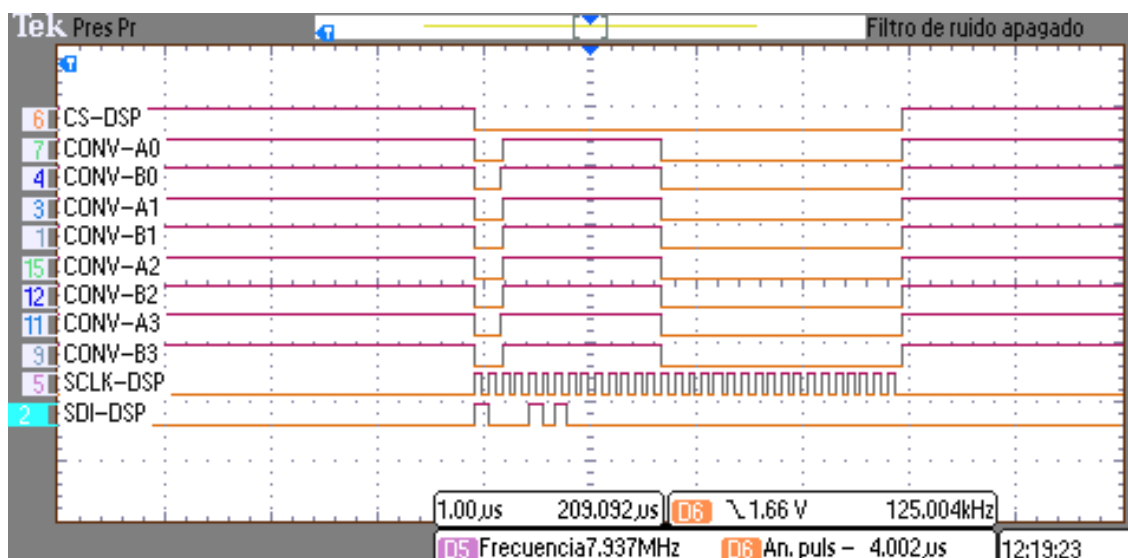


Figura 4-1: Resultados de configuración en el modo de interfaz 32-CLK, Dual-SDO.

De la Figura 4-1, se puede apreciar el marco de transferencia definido por la señal CS-DSP, treinta y dos ciclos de reloj de la señal SCLK-DSP, los datos de reconfiguración del registro CFR presentes en SDI-DSP y los resultados de las conversiones CONV-AX y CONV-BX. La sincronización de los datos es por flanco de bajada de SCLK-DSP, donde los primeros diez y seis flancos se transmite la nueva configuración a los CAD. De forma simultánea, a partir del tercer flanco descendente de SCLK-DSP, se reciben los registros de doce bits transmitidos por los CAD. El tiempo de adquisición de los datos en el modo por defecto es de 4 μs.

4.3 Resultados de la adquisición de datos

La configuración previa del registro CFR, permite operar a los Conversores Análogo - Digital (ADC) en el modo de interfaz 16-CLK, Dual-SDO. Para medir los resultados de las conversiones se debe repetir el procedimiento anterior, pero se tiene que programar nuevamente la FPGA (Field Programmable Gate Array) con el código lectura y luego, visualizar las formas de onda en el osciloscopio. La Figura 4-2 muestra los datos obtenidos de los CAD operando en el modo de interfaz 16-CLK, Dual-SDO.

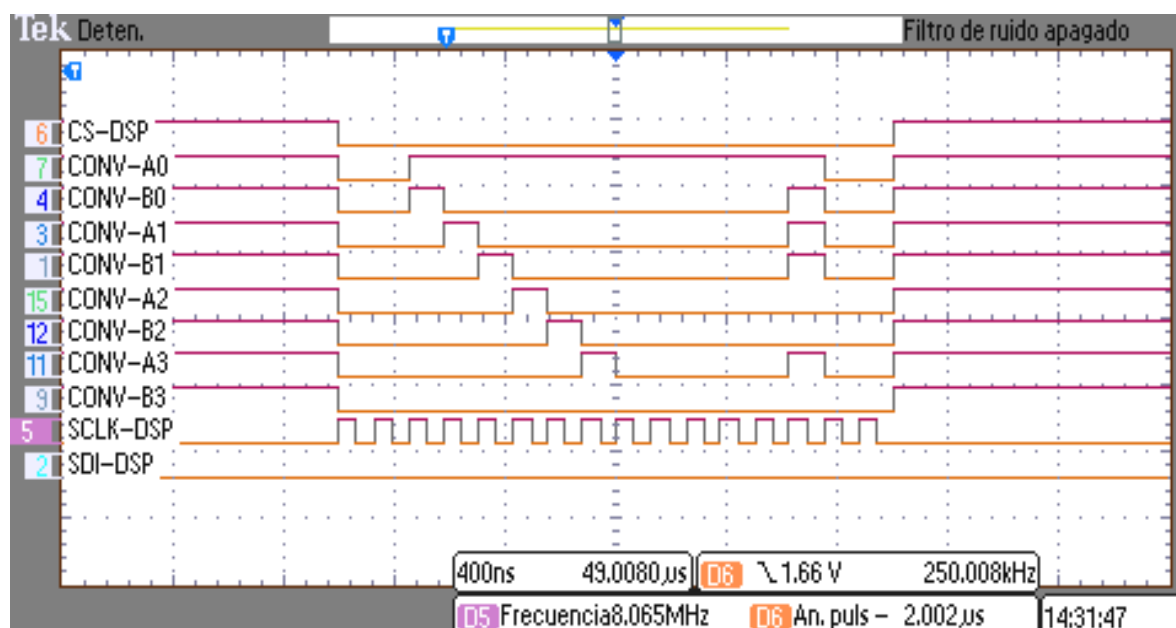


Figura 4-2: Resultados de las conversiones en el modo de interfaz 16-CLK, Dual-SDO.

Como se muestra en la Figura 4-2, la comunicación entre los CAD y la FPGA se realiza por medio de las señales SPI, la cual es sincronizada a través de 16 flancos descendentes de SCLK-DSP. Como se describe en el marco de transferencia de adquisición de datos de la sección 3.4, la señal SDI-DSP permanece todo el tiempo en estado bajo, para mantener la configuración actual del registro CFR. Los resultados de las conversiones CONV-AX y CONV-BX se transmiten, desde los CAD a la FPGA, a partir del tercer flanco de bajada hasta el décimo cuarto flanco de SCLK-DSP, comprobándose los doce bits de resolución de los ADS7253. El tiempo de adquisición de los datos en el modo 16-CLK, Dual-SDO es de 2µs.

4.4 Resultados de la adquisición de datos del Sistema Actual

Para realizar una comparación del sistema propuesto y el actual, se deben considerar ambos resultados de la adquisición de datos y medir el tiempo total empleado en convertir las ocho señales análogas de entrada. La Figura 4-3 muestra los resultados de las conversiones del sistema actual utilizando un CAD multiplexado.

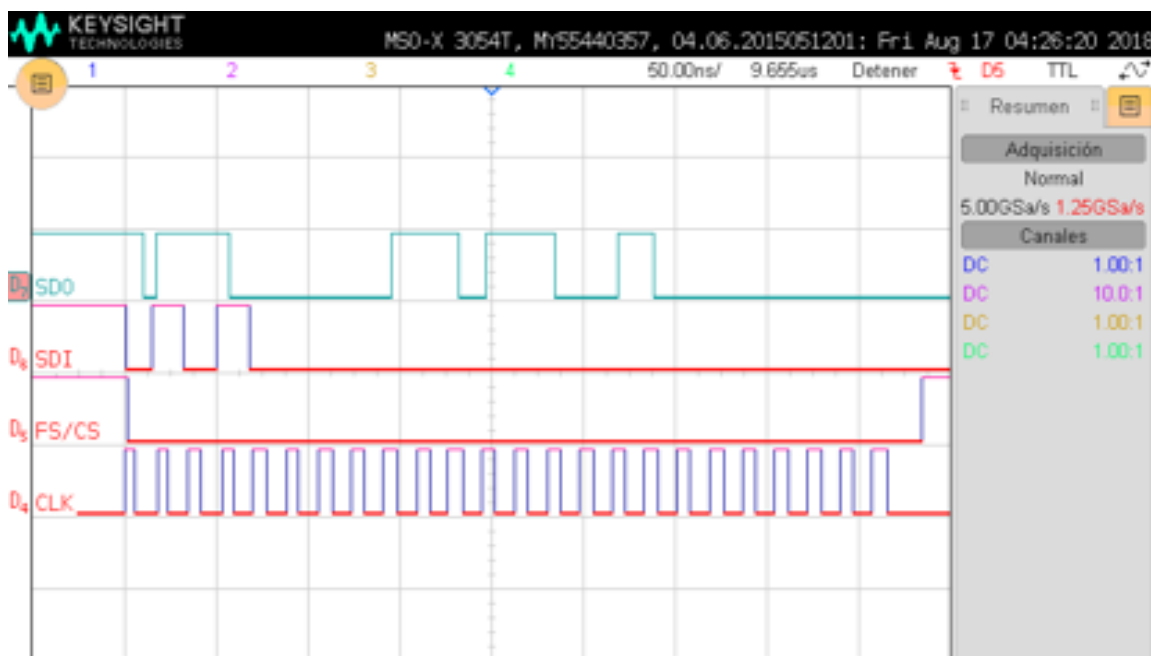


Figura 4-3: Resultados de las conversiones del sistema actual.

Notar que la Figura 4-3 corresponde a la conversión de una señal análoga a digital solamente. El marco de transferencia es definido por la señal FS/CS, en donde la sincronización de los datos es por flanco de bajada de CLK y la configuración del registro interno es por SDI. La comunicación se realiza entre el CAD multiplexado y una DSP (Digital Signal Processor) por medio de cuatro señales SPI (Serial Peripheral Interface), en donde cada una de las señales análogas se convierten de manera secuencial. El tiempo de adquisición de una señal es de 2 μ s, por tanto, el tiempo total empleado en convertir las ocho señales a digital es de 16 μ s.

4.5 Discusión

Los resultados obtenidos demuestran que los Conversores Análogo - Digital (CAD) fueron reconfigurados con éxito y la plataforma digital funciona correctamente, convirtiendo ocho señales a digital en forma paralela en un tiempo de $2 \mu\text{s}$. En cambio, el sistema actual utiliza un CAD con multiplexor interno, por tanto, convierte las ocho señales análogas en forma secuencial. Esto provoca que el tiempo de adquisición de los datos sea ocho veces mayor, es decir, de $16 \mu\text{s}$.

Los resultados obtenidos muestran pulsos adicionales en los dos primeros bits menos significativos. Esto es debido a que las señales de entrada tienen una diferencia de tensión producida por el divisor resistivo y la fuente de alimentación externa. Específicamente, el pulso en el bit menos significativo (LSB) corresponde al error de cuantificación dado por la resolución de doce bits de los CAD.

Capítulo 5 Conclusiones

5.1 Sumario

En el Capítulo 1, se contextualiza al lector con la problemática actual, la propuesta de una posible solución y se introducen los conocimientos necesarios para desarrollar el Seminario de Título. Además, se describen los objetivos del seminario y se discute sobre la mejor opción entre los tipos de Conversores Análogo – Digital (CAD) y transmisión de datos.

En el Capítulo 2, se elige el Conversor Análogo - Digital (CAD) tomando en consideración los criterios de selección como arquitectura, canales de entrada, tipo de entrada, tecnología de montaje, disponibilidad y encapsulado, priorizando la velocidad de muestreo y resolución. Luego, se describen los criterios de diseño, disposición de pines, niveles máximos de tensión y corriente, con el fin de elegir los periféricos necesarios para el correcto funcionamiento de los CAD. Por último, se detalla la implementación de la plataforma de desarrollo y se discute sobre la elección de los componentes y su proceso de montaje.

En el Capítulo 3, se describen la función de la FPGA (Field Programmable Gate Array), las señales SPI (Serial Peripheral Interface) necesarias para la comunicación y la configuración de los Conversores Análogo – Digital (CAD). Por último, se muestra el diagrama de flujo del programa y una pequeña discusión del Capítulo.

En el Capítulo 4, se realizan dos pruebas experimentales, prueba de configuración y adquisición de datos, detallando los modos de funcionamiento del CAD, modo por defecto y configuración. Luego, se miden los resultados de las conversiones mediante osciloscopio, analizando detalladamente la comunicación SPI y el tiempo de adquisición de los datos. Finalmente, se discute sobre los pulsos adicionales presentes en los bits menos significativos de las señales medidas y el tiempo de adquisición de los datos del sistema propuesto en comparación con el actual.

5.2 Conclusiones

Respecto al objetivo: estudiar y seleccionar el tipo de CAD a utilizar en el SAD, se concluye que el ADS7253 resultó ser la mejor opción entre los CAD disponibles, cumpliendo con todos los criterios de selección requeridos por el sistema. Destacan su capacidad para convertir dos señales análogas a digital de forma simultánea, el requerimiento de un mínimo de periféricos para funcionar y su fácil configuración mediante la interfaz SPI, permitiendo una reducción de tamaño de la plataforma y una comunicación rápida y a corta distancia con el controlador digital.

Respecto a los objetivos: diseñar el esquemático de la plataforma de desarrollo e implementar PCB del proyecto usando software KiCad, se concluye que a pesar que el software no contiene en sus librerías los componentes seleccionados para esta aplicación, la calidad de documentación existente permite sobrepasar este problema rápidamente. El software permite diseñar tanto el esquemático como el PCB y adicionalmente permite generar información relevante tales como: planos eléctricos, archivos Gerbers para la fabricación del PCB y lista de materiales para la implementación del desarrollo electrónico.

Respecto al objetivo: evaluar los resultados de las conversiones con una alta tasa de muestreo, los resultados experimentales demuestran que la solución propuesta permite la adquisición de ocho señales en forma paralela, convirtiendo a estas a un registro de 12 bit y con un tiempo de conversión de 2 μ s. Este tiempo puede ser reducido a 1 μ s añadiendo un multiplicador de frecuencia que incremente la frecuencia de reloj a 16 MHz.

Respecto al objetivo principal: diseñar una plataforma de desarrollo para adquisición de datos basado en Conversores Análogo-Digital (CAD) en paralelo, se concluye que utilizar cuatro ADS7253 controlados por una FPGA Cmod S6 permite la conversión de ocho señales. La plataforma de desarrollo permite la incorporación de algoritmo de procesamiento de señales digitales, incluido algoritmos de control digital y su conexión con otros dispositivos micro computarizados. Las medidas físicas del dispositivo son de 100 mm x 50 mm y requiere alimentación de 5V. Cuenta con ocho entradas análogas de 0V a 5V, con protección de sobre voltaje, y 24 puertas digitales tipo CMOS que pueden ser configuradas como entradas o salidas, o como puertos de comunicación serial o paralelo.

5.3 Trabajos Futuros

Los trabajos futuros que permiten seguir mejorando y evaluando este equipo son los siguientes:

- Reemplazar los cuatro CAD ADS7253 por sus equivalentes ADS7853, para mejorar la resolución de la plataforma de desarrollo, de doce a catorce bits.
- Añadir al código un multiplicador de frecuencia, para aumentar la frecuencia de reloj al doble, de 8Mhz a 16Mhz, permitiendo disminuir el tiempo de adquisición de los datos a 1 μ s.
- Comunicar la plataforma de desarrollo con una DSP, permitiendo realizar acciones de control.
- Aumentar el número de canales a treinta y dos, para convertir señales análogas de interés provenientes de convertidores multinivel.
- Implementar algoritmos de procesamiento digital para las señales adquiridas tales como: filtros digitales, phase-locked loop, transformadas como transformada de Park o transformada de Clark, etc., de forma de utilizar los recursos de la FPGA para el pre-procesamiento de datos antes de ser transmitidos a otro dispositivo embebido.

Capítulo 6 Referencias

- [1] Texas Instruments. (2016, agosto). ADS833x Low-Power, 16-Bit, 500-kSPS, 4- and 8-Channel Unipolar Input Analog-to-Digital Converters with Serial Interface. Recuperado de <http://www.ti.com/lit/ds/symlink/ads8332.pdf>
- [2] Pallás, R. (1993). Adquisición y distribución de señales. [Internet]. Disponible: <https://es.scribd.com/document/324422523/ADQUISICION-Y-DISTRIBUCION-DE-SENALES-RAMON-PALLAS-ARENY-pdf>
- [3] Huircán, J. I. (2010). Conversores Análogo-Digital y Digital-Análogo: Conceptos Básicos. [Internet]. Disponible: <https://core.ac.uk/download/pdf/47281302.pdf>
- [4] Hernández, R. y Jiménez, M. (2010). Tipos de transmisión de datos en serie y paralelo. [Internet]. Disponible: <https://es.scribd.com/doc/38610760/Transmision-de-Datos-Serie-y-Paralelo>
- [5] Gómez, E. (2017, 31 octubre). Cómo funciona el Puerto Serie y la UART. Recuperado de <https://www.rinconingenieril.es/funciona-puerto-serie-la-uart/>
- [6] Cristina, S. (2014). Implementación de analizadores de protocolos de comunicaciones SPI, I2C. Tesis de Ingeniería Electrónica Industrial y Automática, Universidad Carlos III, Madrid.
- [7] Texas Instruments. (s.f.). Analog-to-Digital Converters (ADCs) - Products. Recuperado de <https://www.ti.com/data-converters/adc-circuit/products.html>
- [8] Digikey. (s.f.). Product Overview. Recuperado de <https://www.digikey.com/product-detail/en/texas-instruments/ADS7853IPW/296-47691-ND/5004859>

[9] Texas Instruments. (2013, octubre). ADSxx53 Dual, High-Speed, 16-, 14-, and 12-Bit, Simultaneous-Sampling, Analog-to-Digital Converters. Recuperado de <http://www.ti.com/lit/ds/symlink/ads7253.pdf>

[10] Texas Instruments. (2014, junio). ADS8353EVM-PDK and ADS7853EVM-PDK. Recuperado de <http://www.ti.com/lit/ug/sbau210a/sbau210a.pdf>

[11] Texas Instruments. (1999, mayo). LM3940 1-A Low-Dropout Regulator for 5-V to 3.3-V Conversion. Recuperado de <http://www.ti.com/lit/ds/symlink/lm3940.pdf>

[12] Digilent. (2013, septiembre). Schematic Cmod S6. Recuperado de https://reference.digilentinc.com/_media/cmod_s6:cmodes6_sch.pdf

[13] KiCad. (s.f.). Download KiCad. Recuperado de <http://kicad-pcb.org/download>

[14] MCI Electronics. (s.f.). Cotizador PCB. Recuperado de https://www.mcielectronics.cl/page/fabricacion-pcbs#iframe_1

[15] Xilinx. (2018, febrero). ISE Design Suite for Windows 10 - 14.7. Recuperado de <https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html>

[16] Pardo, F. y Boluda, A. F. (1999). VHDL: Lenguaje para síntesis y modelado de circuitos. Madrid: RA-MA.